

文章编号:1005-0523(2009)06-0052-05

多功能车辆总线控制器编码器设计

李中奇¹,杨丰萍¹,郭万岭²,幸柒荣¹

(1.华东交通大学 电气与工程学院,江西 南昌 330013;
2.哈尔滨铁路局工业总公司无绝缘产品发展中心,黑龙江 哈尔滨 150030)

摘要:分析了目前国内外多功能车辆总线的发展状况及自主研发 MVB 总线控制器及 MVB 网络接口卡对于我国轨道交通的现实意义,介绍了基于 CRC 循环冗余校验和偶校验的基本原理,并根据 TCN 协议,在 MVB 总线中设计了一个由 7 位 CRC 校验码和 1 位偶校验位构成的具有双重校验的 8 位校验序列,大大提高了数据传输中的检错能力与可靠性。设计采用 Quartus II 软件与 VHDL 语言实现,最终得到校验序列编码器的正确仿真波形,结果表明完全达到了预期的设计要求。

关键词:列车通信网络;多功能车辆总线;偶校验;校验序列

中图分类号:TP311

文献标识码:A

列车通信网络是由国际电工委员会 IEC(International Electrotechnical Commission)第 9 技术委员会委托,由来自中国、美国等 20 多个国家以及国际铁路联盟的代表组成的第 22 工作组,为铁路设备数据通信制定的一项标准。其目的是有利于铁路运营部门、装配厂和设备供应商之间实现世界范围内车辆的相互操作和插入式设备的联接。TCN 是面向控制的一种连接车载设备的数据通信系统,是分布式列车控制系统的核心组成部分。TCN 集高速列车控制系统、故障检测与诊断系统以及旅客信息服务系统三大系统为一体,以车载微机为主要手段,将这些系统产生的大量列车信息转换为统一的数字信息进入车载微机并在网上交换^[1-3]。

由于 TCN 核心技术掌握在欧洲一些国家和公司中,而目前我国尚没有自主研发的列车通信与控制系统产品,因此研发符合列车通信网络标准的 TCN 产品,从而提高列车控制、监视和诊断水平,就显得极为重要和迫切,也有助于我国列车通信网络的设计和性能的完善与发展。

1 总体研究方案

1.1 研究内容

MVB 总线控制器是实现 MVB 总线设备实现网络功能的关键器件,负责访问 MVB 总线,并提供与微处理器的通信接口,实现数据传输。

现有的 MVB 总线控制器的 ASIC(Application Specific Integrated Circuit)主要是 MVBC01,它是只支持 1 类设备协议,不支持消息传送,只支持 32 个主帧的发送,也不附带通信存储器,这样不利于远程数据通信^[4]。使故障诊断、设备监控难度增大,同时,在开发设备硬件时必需另外配置通信存储器及其相应访问控制接口,增加了电路的复杂性。为解决这些问题,本课题决定自主开发 MVB 总线控制器,主要改进的性能指标有:

- (1) 支持消息数据传送,实现 2 类设备协议。
- (2) 集成通信存储器。包括 256 个设备过程数据端口,6 个监视端口,2 个消息队列。
- (3) 提供微处理器的访问接口。

收稿日期:2009-09-25

基金项目:江西省教育厅科学研究项目(GJJ09203);华东交通大学校立科学研究基金(07DQ06)

作者简介:李中奇(1975-),男,黑龙江哈尔滨人,副教授,主要从事测控技术和嵌入式系统开发等方面的研究和开发。

1.2 具体方案

(1) 采用模块化结构

根据 MVB 总线标准,对 MVB 总线控制器要求和各项功能结构做了详细的分析,将各项功能的实现分成许多底层模块,然后将底层模块组合成顶层模块,构成系统。对底层模块,采用 VHDL 编程实现,最顶层设计采用原理图输入方式。每个底层模块都相对独立,每个模块内部地修改不影响别的模块,每个底层模块完成后,分别独立编写测试程序,进行仿真测试。所有底层模块调试成功,再完成顶层模块的设计。

(2) 采用同步时序电路进行设计

由于异步时序逻辑一般由多条件触发,存在许多不确定因素,而且综合困难,所以在设计中,为保证器件的稳定性和可靠性,尽可能的采用同步时序电路,大量地使用了有限状态机,在实现较为复杂地功能时,采用了多状态机协同。如多存储器访问等。

根据标准,MVB 总线控制器要负责完成总线数据通信功能,总线控制器如图 1 所示。该总线控制器由以下组成:编码器、解码器、发送缓冲区、接收缓冲区、主控制单元、通信存储器和访问接口。

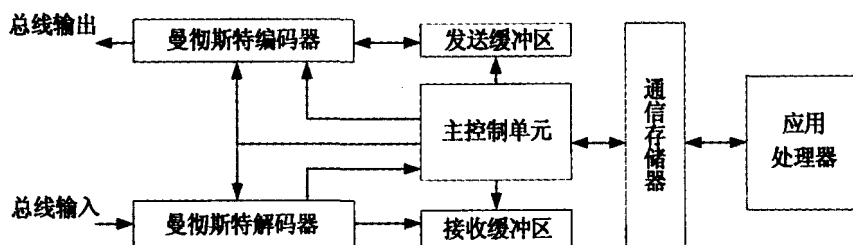


图1 总线控制器结构

根据设计,控制器的功能实现如下:芯片上电,复位,正确配置设备地址,模式和其他服务项后,进入工作状态。发送数据时,主控制单元将相应数据从通信存储器读出,写入发送缓冲区,然后,主控制单元向编码器发出发送数据指令。编码器将数据编码后,经使能驱动器的发送容许,将数据发往 MVB 总线。接受数据时,曼彻斯特解码器从总线控制器接受信号,经解码、校验,将数据存入接收缓冲区,并通知主控制单元,主控制单元将数据从接收缓冲区读出,写入通信存储器相应区域。MVB 总线控制器和微处理器通过通信存储器进行通信,通信存储器采用双端口 RAM。为满足通信的准确性与可靠性,在总线中设计一个具有很强的检错纠错能力的编码器和解码器显得尤为重要。

2 MVB 总线控制器的编码设计

编码器将数据按规定编码。编码器在功能启动时,一旦出现发送请求且有帧要发送(报文分析模块发出),此时应用处理器已经控制将需要发送的帧预置在发送缓冲区,编码器控制电路控制依次开始发送帧头,帧数据,校验码和结束标志。

编码器工作过程如下(见图 2):在状态控制信号和帧模式信号的控制下,通过两级的缓冲寄存器来构成沿采集电路,用来监测发送请求信号的上升沿,如果监测到上升沿,且帧数据信号有效,则开启时钟发生器,使能分频器,要求数据读取控制模块从发送缓冲区读出数据。数据读取控制模块产生时序正确的地址信号,读信号,使能信号等控制信号。读出的数据被保存在临时寄存器,校验运算模块从临时寄存器读出数据,按顺序进行 CRC 运算,偶奇偶校验运算,取反,形成校验序列。输出控制模块在发送时钟 CLK 的作用下,向 MVB 总线驱动器发出输出允许信号,同时按顺序发送编码后的帧,包括帧起始分界符,数据,终止分界符。由于帧头有不规则编码 NL, NH, 所以采用直接发送 00, 11 的方式,当第一个时钟沿到来时,开始发送 18 位的帧头数据。当帧头发送最后一位时,编码器读取通信缓冲区的 16 位数据写入 17 位移位寄存器(多出的一位用于在发送最后一位数据时读取下一次数据),在帧头结束发送后,进行移位发送,数据经过曼彻斯特编码器使其逻辑 0 和 1 分别以“01”,“10”(曼彻斯特编码)发出。如果数据不止 16 位,在前一

次数据发送最后一位数据时,从缓冲区读取下一次要发的数据,以此类推,直到发完为止。

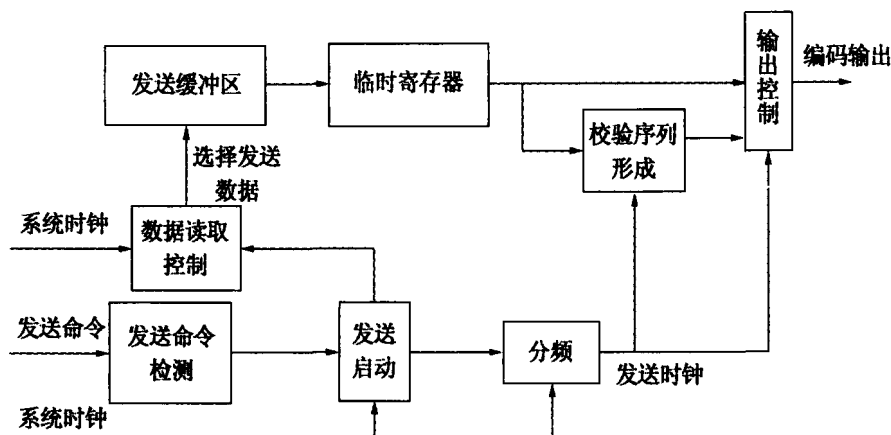


图2 编码器结构

3 校验序列模块设计

根据 TCN 协议, MVB 总线帧数据应用一个或多个 8 位校验序列, 在每 64 个数据位后包含一个 8 位的校验序列或当帧数据只有 16 或 32 位时将一个 8 位的校验序列附加其后。而这个 8 位的校验序列由一个 7 位 CRC 校验码和一个偶校验位扩展构成, 并且扩展所得的 8 位数据反向发送。

本设计中, 7 位 CRC 校验码的运算公式遵循 IEC 60870-5 format class FT2 的规定, 按如下的生成多项式计算: $g(x) = x^7 + x^6 + x^5 + x^2 + 1$, 原理框图如图 3 所示。

图 3 中每个编号的方框都代表了一个放进二进制码元的寄存器, \oplus 表示异或运算, 依次输入的信息码元和编号为 7 的寄存器中的码元进行异或以后将结果存放到编号为 1 的寄存器中, 同时和编号为 2, 5,

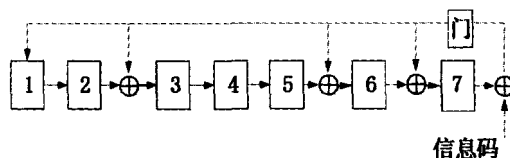


图3 CRC编码器生成多项式原理框图

6 的寄存器输出的需要右移的码元进行异或以后, 结果分别放入编号为 3, 6, 7 的寄存器中。其他寄存器输出的需要右移的码元直接存放到下一个寄存器。 x 的幂次就代表要进行异或的位置。图中“门”方框用来控制信息码的输入, 在信息码输入的时候, 它打开, 允许码元输入, 当信息码元全部输入完毕的时候, “门”关闭, 不允许任何码元输入, 此时, 7 个寄存器中所存放的码元就是生成的 CRC 码元, 按编号 7 到 1 的顺序, 将寄存器中的数值依次输出, 即可得到所要的 7 位 CRC 校验码, 记为 $crc = "a_7 a_6 a_5 a_4 a_3 a_2 a_1"$ 。

再对 crc 校验码应用一个偶校验位扩展, 根据偶校验原理, 偶校验位 a_0 计算公式如下: $a_0 = a_1 \oplus a_2 \oplus a_3 \oplus a_4 \oplus a_5 \oplus a_6 \oplus a_7$; 把 a_0 附在 crc 后面就是扩展所得的 8 位序列:

$sq = crc \& 'a_0' = "a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0"$, 所有 8 位数据反向发送, 所以对 sq 取反得最终校验序列:

$$cs = \overline{sq} = \overline{a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0}。$$

如发送一个 16 位的帧数据 $data_in = "0111111011000011"$, 生成多项式为: $g(x) = x^7 + x^6 + x^5 + x^2 + 1$ (即 11100101), 计算得 7 位 crc 校验码为 0010001, 由于 crc 校验码中 1 的个数为 2, 是偶数, 所以偶校验位 $a_0 = 0$, 于是 $sq = crc \& 'a_0' = "00100010"$, 取反得校验序列 $cs = \overline{sq} = \overline{a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0} = "11011101"$ 。

按照上面的校验原理进行编程, 编程语言采用 VHDL, 软件采用 Quartus II, 源程序节选如下:

```
process(reset, clk, inrdy)
begin
if reset = '1' then crcbuffer <= "0000000";
elsif clk'event and clk = '1' then
```

```

if inrdy = '0' then crcbuffer <= "0000000";
putout <= '0';
elsif cou2 = 23 then
putout <= not(crc(1) xor crc(2) xor crc(3) xor crc(4) xor crc(5) xor crc(6) xor crc(7));
elsif door = '1' then
crcbuffer(1) <= crctemp(7) xor data_in;
crcbuffer(2) <= crctemp(1);
crcbuffer(3) <= crctemp(2) xor crctemp(7) xor data_in;
crcbuffer(4) <= crctemp(3);
crcbuffer(5) <= crctemp(4);
crcbuffer(6) <= crctemp(5) xor crctemp(7) xor data_in;
crcbuffer(7) <= crctemp(6) xor crctemp(7) xor data_in;
putout <= data_in;
syn_in <= '1';
else syn_in <= '0';
if syn_in'event and syn_in = '0' then n <= 7;
end if;
crc(n) <= crctemp(7);
putout <= not crctemp(7);
crcbuffer(7 downto 2) <= crctemp(6 downto 1);
n <= n - 1;
if n < 1 then n <= 7;
end if;
end if;
end if;
end if;
end process;
    
```

根据要求, 输入规定的信息序列, 仿真结果如图 4 所示。data_in 就表示输入的 16 位信息序列“01111101100001”, putout 输出的是包含校验序列的信息码, 对应 syn_in = 1 时, putout 输出的是 16 位信息序列, 对应 syn_in = 0 时, putout 输出 8 位校验序列 cs, 其数值为 11011101, 与理论计算值是相等的, crc 表示由生成多项式所得的 7 位 CRC 位校验码, 为 0010001, 也与理论计算值相符。

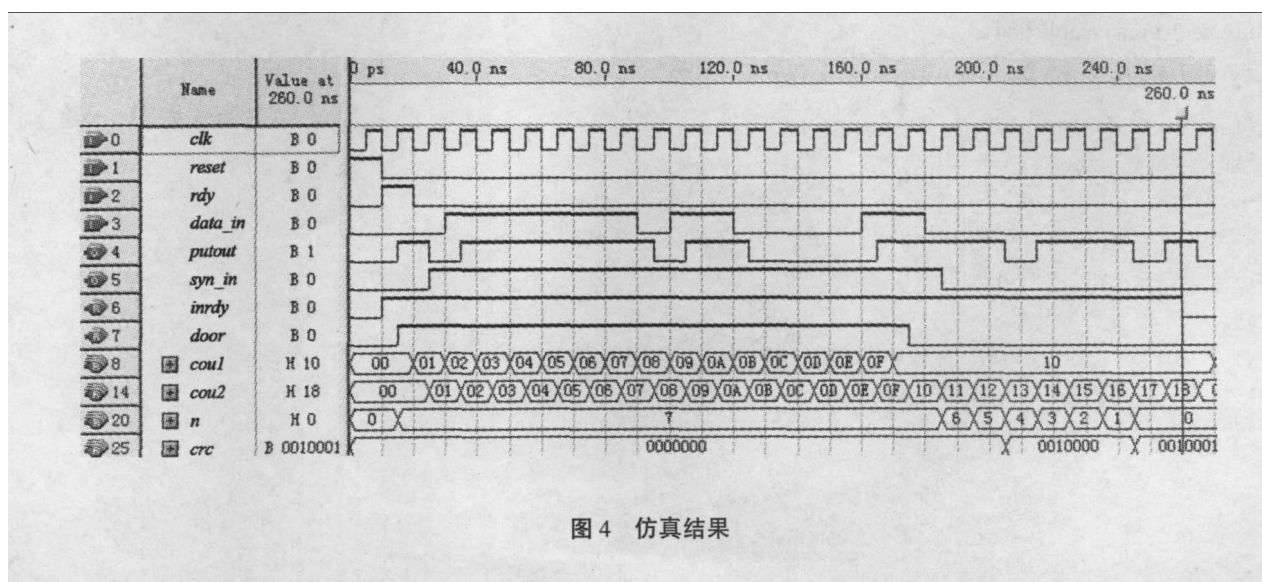


图 4 仿真结果

4 结束语

从所采用的研究方法和测试手段上分析,我们的项目正是在该技术国内的空白和巨大的市场需求背景下而设立,以及使用 VHDL 完成 MVB 各功能模块的设计和仿真验证已经有了大量的前期研究。从技术上看是可行的。新一代总线控制器其多功能性能使其支持 MVB 的所有工作模式(Class1,2,3,4、设备主、设备从),从而提高自身的可复用性,可显著降低列车设备的成本。

由于所设计的基于 TCN 的总线控制器是我国铁路网络化机车国产化的关键设备,所以具有良好的市场前景,因此在经济前景上是可行的。

参考文献:

- [1] 魏宜军,彭 军,刘剑锋,周 胜.基于 ARM 处理器的 MVB2 类设备研究[J].现代电子技术,2007,32(15):93-96.
- [2] 陈特放,袁雄兵,龚志鹏.基于 MVB 的机车逻辑控制单元[J].计算机测量与控制,2008,16(7):976-979.
- [3] 张 涛,黄志武,周 胜.基于 FPGA 的 MVB 总线分析控制器研究设计[J].电气技术,2009,21(3):51-53.
- [4] IEC 61375-1,Electric Railway Equipment-Train Bus Part I:Train Communication Network[S].

A Design of Multifunction Vehicle Bus Controller Encoder

LI Zhong-qi¹, YANG Feng-ping¹, GUO Wan-ling², XING Qi-rong¹

(1. School of Electrical and Electronic Engineering, East China Jiaotong University, Nanchang 330013, China; 2. Industry Corporation Insulatingless Center, Harbin Railway Bureau, Harbin 150030, China)

Abstract: The paper analyzes the current domestic and international multi-function vehicle bus and significance of the development of independent research and MVB(Multifunction Vehicle Bus) controller and the MVB network interface card for China's rail transportation. In this paper, based on the principle of CRC and even parity, according to the protocol TCN(Train Communication Network), a 8-bit check sequence composed of a 7-bit CRC and a 1-bit even parity is designed in MVB, which greatly enhances its error detecting capability and reliability during the data transmission due to its duplication check. The check sequence encoding is described with VHDL(Very-High-Speed Integrated Circuit Hardware Description Language) and Quartus II, and the correct simulation results indicate that the expected design requirement is accomplished.

Key words: TCN; MVB; even parity; check sequence

(责任编辑:王建华)