

文章编号: 1005-0523(2010)04-0052-05

FPGA 在基于 IEC61850 的馈线保护中的应用

何人望, 谢丹丹, 杨毅波, 饶 攀

(华东交通大学 电气与电子工程学院, 江西 南昌 330013)

摘要: 基于 IEC61850 面向对象进行变电站馈线微机保护建模, 根据馈线配置的保护方式和所要完成的功能进行功能分解, 再逐步合成建立保护信息模型、信息交换模型, 合理地选择智能电子设备 IED 的配置。以 FPGA 为处理器实现保护功能。FPGA 的并行性、流水线和有限状态机设计思想, 可以使整个逻辑电路更为合理、稳定。FPGA 用于实现物理层通信芯片和网络协议互连的粘合逻辑, 将通信和网络功能合并到同一设备中, 具备较好的互操作性。并用 Quartus II 进行保护功能仿真。

关键词: 馈线微机保护; IEC51850; FPGA; Quartus II; 功能仿真

中图分类号: TM773

文献标识码: A

国际电工委员会第 57 技术委员会(IEC TC57)定制了基于通用网络通信平台的变电站自动化系统新标准 IEC61850, 并于 2004 年发行, 用以解决实现变电站自动化功能的智能电子设备投入变电站的测试、通信及互操作性问题, 解决通信技术飞速发展但变电站设备生命周期较长这个“瓶颈问题”, 该协议将是变电站(远程终端单元 RTU 或者变电站自动化系统)到控制中心的唯一通信协议, 也是变电站自动化系统甚至过程到控制中心的唯一的通信协议^[1]。

现场可编程门阵列 FPGA(Field Programmable Gate Array)具有现场可编程能力, 低功耗、便于升级及稳定等优势, 是一种面向未来的芯片, 适用于高速、高密度的高端数字逻辑电路设计领域, 是一种可以实现大规模逻辑电路的器件。与那些内部功能已被制造商固化的器件相反, 编程“在现场”进行, 可在实验室中配置, 也可对已应用的电子系统中某个设备进行功能改进; 可以满足 IEC61850 不受通信约束的互操作性。在变电站综合自动化未来发展中, 是非常具有发展前途的芯片。在电力系统及微机保护中也开始应用^[2-5]。

1 基于 IEC61850 的变电站馈线微机保护

基于 IEC6180 的变电站自动化系统具有分层、分布的体系结构, 将变电站系统分成变电站层、间隔层和过程层。微机保护智能电子设备(IED)位于间隔层, 各种保护与测控 IED 按照它们的电压等级和作用分布在不同的间隔单元。非常规仪用互感器和智能开关的使用, 对通信接口提出新的要求, 也使原来由保护测控 IED 或合并单元完成的任务下放到过程层, 保护模式配置更为智能化和网络化, 也为变电站的功能集成和自由配置提供更大的可能性。

首先依据 IEC6180 建立馈线微机保护模型。保护信息模型和建模方法有四个主要的部件: 保护信息模型、信息交换方法、映射到具体的通信协议、IED 配置。馈线保护配置: 三段式低电压闭锁方向过流保护, 重合闸, 过负荷保护等。三段式低电压闭锁方向过流保护 I 段为瞬时电流速断保护, II 段是限时电流速断保护, III 段是过流保护, 也可以整定为反时限电流保护。根据配置的馈线保护类型选择基本逻辑节点(LN), 每种保护选择一个逻辑节点, 分段式保护每段选择一个逻辑节点, 并选择保护相关逻辑节点和其他逻辑节点。所选择逻辑节点如下。

三段式低电压闭锁过流保护 I 段选择瞬时过电流或上升率逻辑节点 PIOC, II 段是限时电流速断保护,

收稿日期: 2010-03-29

作者简介: 何人望(1963—), 男, 博士研究生, 副教授, 研究方向为电力系统自动化。

选择 PTOC, III 段是过流保护, 选择 PTOC, 如整定为反时限电流保护则选择 PVOC; 过负荷保护选择 PVOC; 线路方向比较用逻辑节点 PSCH(用于线路保护功能配合逻辑配置建模, 保护配置允许不同保护功能和条件“动作出口”交换); 保护跳闸条件 PTRC、自动重合闸 RREC、断路器失灵 RBEC、断路器 XCBR 等逻辑节点。基于它们的功能, 这些逻辑节点包含带专用数据属性的数据, 由专用服务交换信息。

将逻辑节点按照它们的功能分配到逻辑设备(LD), 最后合成智能电子设备。合成的智能电子设备模型图如图 1 所示。图中 PTOC¹ 表示过流 II 段, PTOC² 表示过流 III 段。

每种信息模型定义一些服务, 服务对包含在逻辑节点的数据、数据属性和其他属性进行操作。抽象通信服务接口(ACSI)将具体应用映射到不同的通信栈, 提供了通过虚拟镜像访问真实数据和真实设备、设备内部和设备之间的接口, 对传统的保护算法内容不做描述, 只规定保护功能所在逻辑节点的对外表达和接口。抽象通信服务接口在通信和应用之间建立的接口由特定通信服务映射(SCSM)来实现, 达到应用和通信之间的独立, 应用设备和应用软件可以在遵循新通信技术的系统中重复使用, 应用软件和技术的更新也可以在通用开发平台上下载到设备。通过变电站配置语言(SCL)实现对智能电子设备功能和数据的配置描述^[6]。Kalkitech SCL Manager 软件提供了一种软件工程平台, 可进行基于 IEC61850 变电站的设计和配置, 并可以定义通信方案, 按照要求进行数据映射; 它还提供了逻辑节点模板, 可协助建立完整功能的智能电子设备。

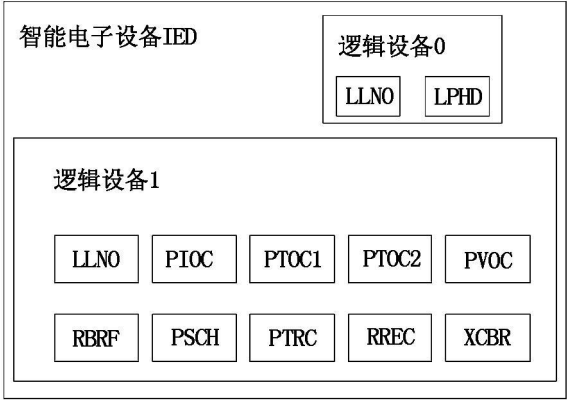


图 1 微机保护信息模型

2 FPGA 在微机保护种的应用

IEC61850 主要目的是实现智能电子设备之间的互操作性, 是一种面向未来的标准, FPGA 作为微机保护智能电子设备的处理器可现场可编程能力、便于升级, 是一种面向未来的芯片。其掉电易失性使得其在微机保护中的应用受到限制, 因此必须采取断电保护措施或者选择非易失性芯片^[7]。

FPGA 可编程部分采用静态随机存储器(SRAM)、反熔丝等技术, 一般采用 SRAM, 将编程信息存储在静态随机存取存储器的存储单元之中。常用的查找表(Look Up Table)形式的 FPGA 的一个 SRAM 单元中存储 LUT 真值表中的一个值, 由输入个数来决定逻辑电路的规模。FPGA 能够反复使用, 使用非常灵活, 同一片 FPGA, 不同的编程数据, 可以产生不同的电路功能。FPGA 基本组成部分有可编程输入/输出、逻辑块、嵌入式块随机存储器、底层嵌入功能单元、专用硬核等。FPGA 的集成度很高, 从数万系统门到千万系统门不等, 可以完成复杂的时序与组合逻辑电路功能。

FPGA 可以包涵内嵌的乘法器、专用计算例程和大量的片上随机存储器等所有数字信号处理器(DSP)操作所需要的特性, 加上 FPGA 的并行性, 比最快的 DSP 芯片还要快至 500 倍甚至更多, 可以更好的满足微机保护对数据处理的高速性; 其并行性和可重配置性来实现软件算法的“硬件加速”。FPGA 长期以来用于实现物理层通信芯片和网络协议互连的粘合逻辑, 可将通信和网络功能合并到同一设备中。

目前常用硬件描述语言(HDL)设计方法, 有利于自顶向下设计、模块的划分和复用, 可移植性和通用性好, 设计不会因为芯片的工艺与结构的变化而变化。最流行的 HDL 语言是 Verilog 和 VHDL。系统级设计和软硬件联合设计, 在系统级层次进行设计和仿真, 抽象层次高, 仿真和结构描述代码一致, 优化效果好, 可缩短设计周期。

传统变电站馈线微机保护的硬件结构如图 2 所示, FPGA 作为处理器, 保护程序存储于闪存(FLASH)中, 每次上电先从 FLASH 中将程序下载到 FPGA 中。图 2 中 EPROM 是电可编程只读存储器, RAM 是随机存取存储器。

3 保护建模和仿真

实现馈线保护的 FPGA 选择 Altera 公司的芯片, 并使用其提供的 Quartus II 软件。从下向上建立保护模型。首先针对所配置的保护, 根据保护逻辑图独立的设计和优化每个保护及保护功能相关模块 (为了识别方便, 保护模块和逻辑节点取相同的名称), 通过分析综合, 建立波形文件进行功能仿真, 再生成图形文件; 在顶层设计中集成所有的保护及保护功能相关的已优化的图形文件, 然后进行优化验证, 分析综合、布局布线、汇编、时序分析, 通过仿真 (也可以使用 modelsim 仿真)。通过 JTAG (Joint Test Action Group) 接口将程序下载 FPGA 对其进行配置, 测试时通过主动串行配置 AS (Active Serial Programming) 方式将程序下载到 FLASH 中, 每次上电即将程序下载到 FPGA 进行工作。

三段式低压闭锁方向过流保护逻辑图如图 3 所示。图 3 中 $YB=1$ 表示某段电流保护软压板投入; $CB1=1$ 表示低压闭锁控制字投入; $CB2=1$ 表示方向闭锁控制字投入; $CB3=1$ 表示 PT 断线控制字投入; $CB4=1$ 表示 PT 断线闭锁保护控制字投入; UL 为低压闭锁定值; I_{set} 为某段过流定值; t 为某段过流延时; DA、DB、DC 分别为 A 相、B 相、C 相满足动作条件的方向。

Quartus II 功能仿真波形图如图 4 所示。图中 DA、DC 为高电平, 表示 A、C 相满足动作的方向要求, DB 为低电平, 表示 B 相不满足方向要求, 即使 B 相电流超过设定值, 保护也不会动作。

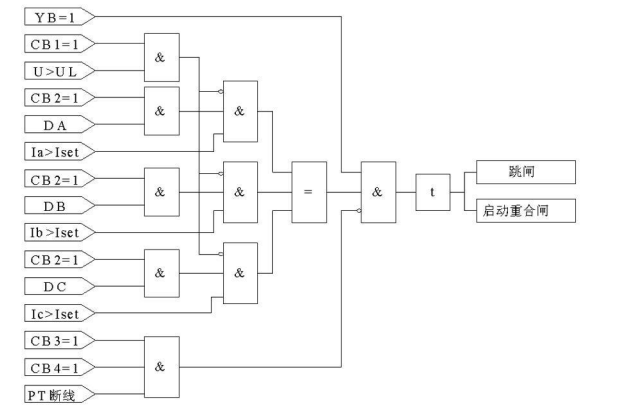


图 3 三段式低压闭锁方向过流保护逻辑图

I_a 、 I_b 、 I_c 为高电平部分说明电流超过整定值, 在相关控制字投入的情况下, 如果低压没有闭锁则输出 out 为高电平, 发出跳闸信号, 并驱动重合闸。每段整定值和跳闸时间不同, 各种定值用 parameter 设定并可修改。

过负荷保护逻辑图如图 5 所示。图 5 中 $YB=1$ 表示过负荷软压板投入; $CB=0$ 表示过负荷保护控制字投信号, $CB=1$ 表示过负荷保护控制字投跳闸; I_{set} 是过负荷定值, I_{max} 表示三相电流中的最大值, t 是过负荷延时。仿真图如图 6 所示。 $CB=0$, $YB=1$ 且负荷电流超过整定值, 经过时间 t 输出 out2 为高电平发出信号。 $CB=1$, $YB=1$ 且电流超过整定值, 经过延时 t 输出 out1 为高电平, 发出跳闸信号并闭锁重合闸。

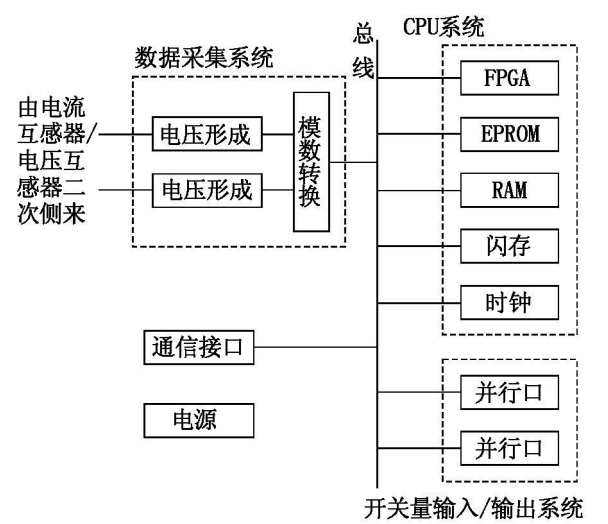


图 2 微机保护硬件结构

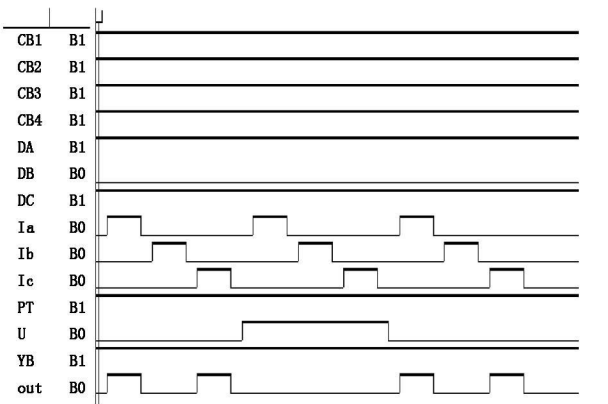


图 4 三段式低压闭锁方向过流保护功能仿真

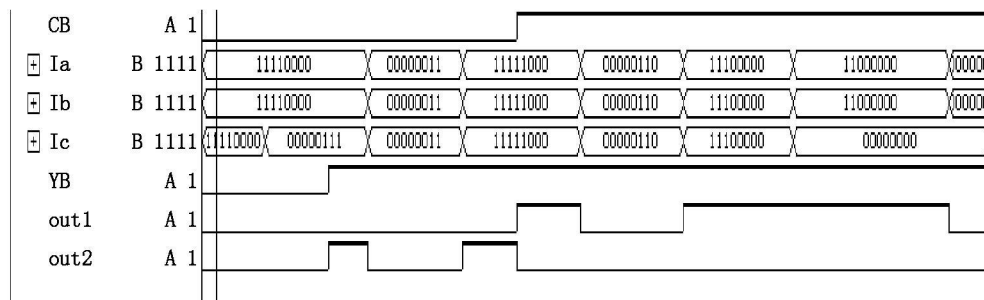
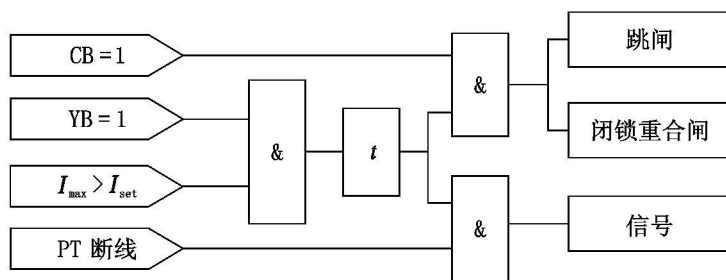


图 6 过负荷保护仿真图

通过同样的方式,建立重合闸模块,之后将三段式低压闭锁方向过流保护、过负荷和重合闸的 Verilog 语言描述文件转换成图形符号,组成顶层保护模块符号图,如图 7 所示,图中 3 个模块分别是重合闸模块 **chz**、过负荷模块 **gh** 和三段式低压闭锁方向过电流模块 **sbgl**,为显示方便,三段式电流保护模块只显示了一个。图中符号模块上方的表格是参数表,表中 Parameter 和 Value 项分别是此模块的参数名称和所设定的参数值。

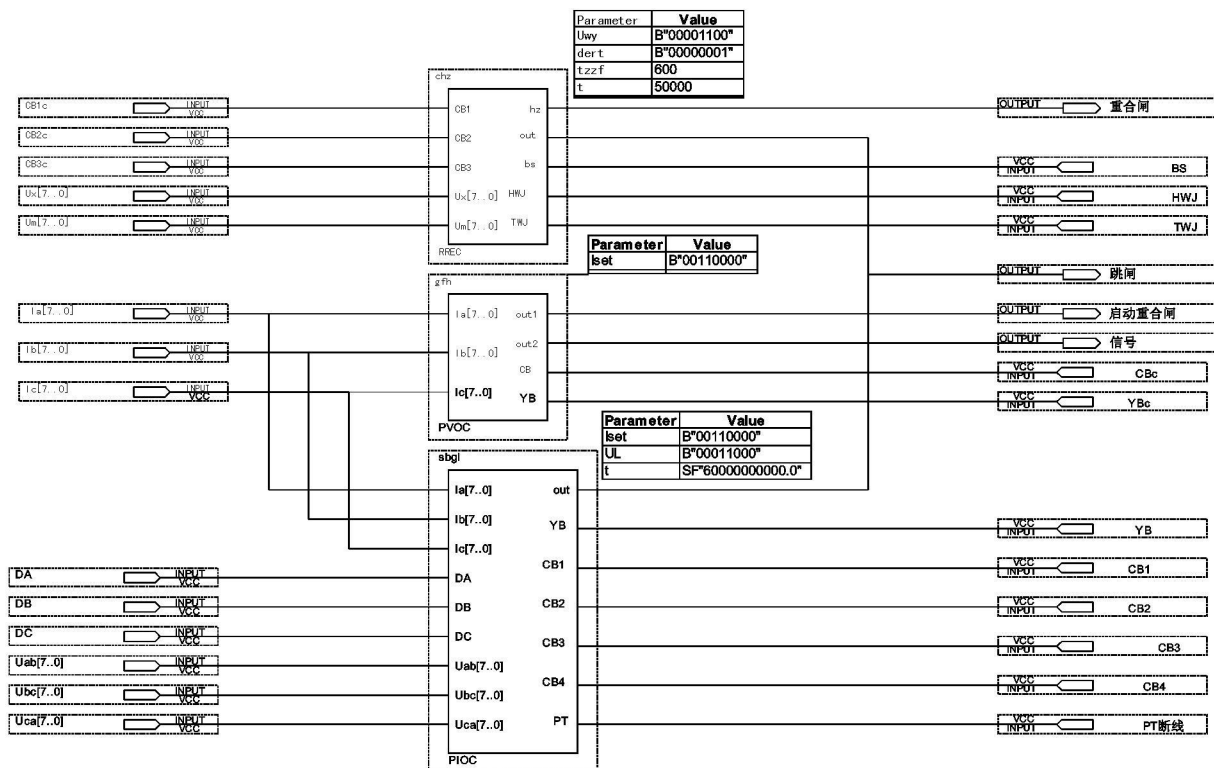


图7 三段过流保护、过负荷、重合闸合成

4 结论

IEC61850 是关于变电站通信网络和系统的新标准,基于此标准根据馈线配置的保护选择逻辑节点,面向对象建模,并用层次化和模块化的设计方法对保护方式建立 FPGA 模块,以 FPGA 作为变电站馈线微机保护智能电子设备 IED 的处理器,可以为微机保护和变电站自动化系统提供广阔的发展空间,只是这个发展前景及互操作性的实现还有赖于通用平台的建立和完善。

参考文献:

- [1] 田国政. 变电站自动化系统的通信网络及传输规约选择[J]. 电网技术, 2003, 27(9): 66-68.
- [2] 周鹏, 李楠. FPGA 的设计及其在电力系统中的应用[J]. 河南电力, 2005(2): 52-54.
- [3] 陈志敏, 曹建. 电力系统继电保护的 FPGA 方案设计与研究[J]. 华中电力, 2007(3): 11-14.
- [4] 阮建国, 林家骏. 数字保护算法的 FPGA 实现方法[J]. 华东理工大学学报, 2006, 32(4): 449-455.
- [5] 田志国, 易永辉, 刘崇新等. 基于 FPGA 的微机保护图形化编程设计[J]. 继电器, 2006, 34(1): 15-17.
- [6] 童晓阳, 李岗, 陈德明, 王晓茹. 采用 IEC61850 的变电站间隔层 IED 软件设计方案[J]. 电力系统自动化, 2006, 30(14): 54-57.
- [7] 陈凡, 李从飞, 鲁雅斌, 张金贵. 基于 FPGA 的微机保护板间通信技术[J]. 电力系统保护与控制, 2008, 36(18): 73-77.

Application of FPGA in Feeder Protection Based on IEC61850

He Renwang, Xie Dandan, Yang Yibo, Rao Pan

(School of Electrical and Electronic Engineering, East China Jiaotong University, Nanchang 330013, China)

Abstract: An object-oriented model for substation feeder digital protection is established based on IEC61850. Functions are decomposed according to the feeder protection methods and functions to be accomplished. Then the functions are gradually synthesized to establish the protection information model and information exchanging model, and choose a reasonable configuration for intelligent electronic device. The protection functions are realized using an FPGA processor. Parallelism, pipelining, and finite state machine design of FPGA can make the whole logic more reasonable and stable. FPGA is used to implement the glue logic of physical layer communication chip and network protocols interconnect. Functions of communications and network will be merged into the same device with a better interoperability. The protection functions are simulated using Quartus II.

Key words: feeder microprocessor-based protection; IEC61850; FPGA; Quartus II; functional simulation

(责任编辑 王建华)