

文章编号:1005-0523(2015)01-0099-06

一种恒流源功率管驱动电路

袁义生,朱本玉,罗峰

(华东交通大学电气与工程学院,江西 南昌 330013)

摘要:提出了一种恒流源功率管驱动电路。电路采用全桥结构,双电源供电,可实现主电路开关管正、负电压驱动;利用桥臂间电感电流短时间内不能突变,实现恒定电流输出;调节电感充放电时间,可提供不同等级的驱动电流,从而实现主开关管高效驱动;开关周期内电感电流断续,减少了驱动电路中开关管通态损耗。详细介绍了电路工作原理、开关逻辑实现以及电感设计,分析了驱动电路的自身损耗。在Boost电路上的测试表明,相比于传统的驱动电路,采用所述恒流源驱动电路,额定负载处效率可提升1%以上。

关键词:恒流源驱动;功率管;全桥结构;电感电流断续

中图分类号:TM46

文献标志码:A

随着开关电源效率、功率密度的不断提高,越来越多研究及开发人员将目光投向了驱动电路。而传统的驱动电路损耗大、开关速度不可调等缺点,致使其无法实现变换器的更高效要求。一些学者针对低压大电流变换器的同步整流技术^[1-3]进行了研究,并提出了一些改进型的驱动电路^[4-5],但此类驱动电路存在驱动能量不可调、能量都消耗在驱动回路的阻抗上的问题,且随着开关频率增加,驱动损耗呈曲线上升趋势。因此,谐振驱动技术^[6-8]被提出应用于高频变换器中以减小高频驱动损耗。文献[9]提出了适用于双MOSFET管的谐振驱动电路。为获取更低的驱动损耗,文献[10]提出一种高效能量回馈、低导通损耗谐振驱动电路。文献[11]则直接采用变压器漏感来替代谐振电感,实现更高功率密度。然而谐振驱动电路存在不能直接有效减小主功率管开关损耗的缺点。

针对这一问题,提出一种恒流源驱动电路,通过全桥结构中特定的开关组合给电感充放电,从而获得所需驱动电流,由于驱动时间短,而电感电流不能突变,从而实现恒流驱动。搭建实验电路,通过对比试验,验证了所提驱动电路的有效性。

1 拓扑结构及工作原理

1.1 拓扑结构

图1为所述自适应驱动拓扑结构,由1个正电源 U_c 、一个负电源 U_c 、4个MOSFET(S_1 - S_4)和电感 L_r 组成。其中,4个MOSFET呈全桥结构, S_1 、 S_3 为P沟道MOSFET, S_2 、 S_4 为N沟道MOSFET。二极管(D_1 - D_4)为MOSFET体二极管,电容(C_{s1} - C_{s4})为MOSFET寄生电容, i_{Lr} 为电感电流。 u_{sg1} 、 u_{gs2} 、 u_{sg3} 、 u_{gs4} 分别为开关管 S_1 、 S_2 、 S_3 、 S_4 的驱动电压, C_{gs} 为主管 Q 的前栅源极板间电容, U_{gs} 为主开关管 Q 的驱动电压,方向如图1所示。

1.2 电路工作原理

图2为驱动电路主要工作波形。调节相关开关管时序即可改变电感 L_r 的充放电时间,得到一个峰值电

收稿日期:2014-12-14

基金项目:国家自然科学基金(51467005);江西省自然科学基金(20142BA206025);江西省专利技术研发引导与产业化示范项目(20133BBM26077)

作者简介:袁义生(1974—),男,副教授,博士,研究方向为电力电子系统及控制技术。

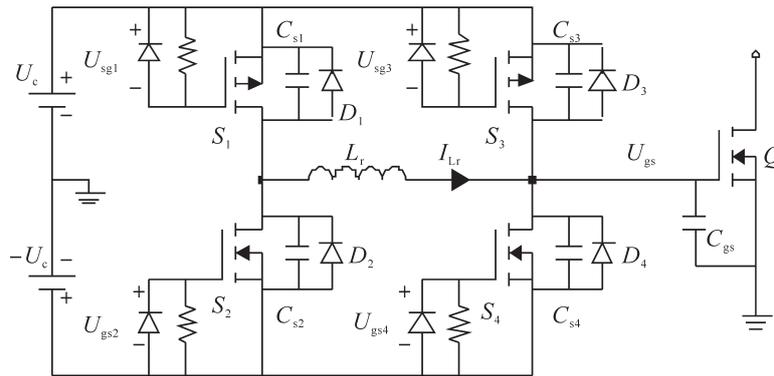


图1 所提恒流源驱动拓扑结构

Fig.1 Proposed topology of constant current-source drive

流 $i_{Lr,peak}$, 具体体现在图2中的 Mode 2, 4, 6, 8 四个阶段。实际电路中的 Mode 3 和 7 过程持续时间相当短, 为 ns 级, 电感电流在此谐振过程中几乎不变。

该驱动电路由 8 个工作模式组成。前半周期与后半周期电路工作基本对称, 因此仅分析半个周期的 4 个工作模式, 各模式分析如下。

1) 模式 1 (t_0-t_1): t_0 时刻, S_4 开通, 电感电流 i_{Lr} 减小到零。驱动回路由电容 C_{gs} 、 $-U_c$ 和 S_4 体电阻组成, 主功率管栅源电压 U_{gs} 被钳位在 $-U_c$ 。 t_1 时刻, 该模式结束。

2) 模式 2 (t_1-t_2): t_1 时刻, S_1 开通, 电感电流 i_{Lr} 从零开始线性上升, 回路为 $U_c-S_1-L_r-S_4-(-U_c)$ 。该模式为 L_r 充电过程, t_2 时刻, 充电过程结束, 电感电流达峰值 $i_{Lr,peak}$ 。在该过程中, U_{gs} 仍被钳位在 $-U_c$, 保证主开关管处于有效关断状态。

3) 模式 3 (t_2-t_3): t_2 时刻, S_4 关断, i_{Lr} 给 C_{s4} 、 C_{gs} 充电, 同时 C_{s3} 放电。由于此过程持续时间很短, 且电感较大, 因此, 该阶段中 i_{Lr} 基本不变, 且 C_{gs} 相对 C_{s3} 、 C_{s4} 较大, 几乎以恒定的电流驱动主管 Q 。 t_3 时刻, U_{gs} 达到 U_c 时, 该模式结束, 此时, C_{s4} 充电至 $2U_c$, C_{s3} 放电至 0。实际电路设计中, 为确保驱动电路中开关管的驱动信号的可靠性, 使时间段 (t_2-t_3) 大于主管的开通时间, 这样会出现一个短暂的环流过程, 回路为 $L_r-D_3-S_1$ 。

4) 模式 4 (t_3-t_4): 该模式分 3 个小阶段。 t_4 时刻, 关断 S_1 , 开通 S_3 , 此后, i_{Lr} 线性下降, 回路为 $U_c-S_3-L_r-D_2-(-U_c)$ 。电流降为 0 后, 将继续以该回路反向谐振, i_{Lr} 反向增加, 谐振至 C_{s2} 上电压至 $2U_c$, 使得 D_1 导通, 之后进入续流阶段, 电感电流将减小至 0。该模式中 S_3 处于可双向导通状态, 保证了主管 Q 的可靠开通。

2 电路特性分析

2.1 驱动的逻辑实现

2 电路特性分析

2.1 驱动的逻辑实现

图 3 为逻辑驱动结构。图中通过对低电平有效的 PWM 信号和开关调节电压 U_{cr} 分别进行逻辑和延时处理, 得到四组可调脉冲驱动信号去触发 S_1-S_4 。

采用图 3(a) 所示逻辑驱动控制实现四组非隔离驱动, 图 3(b) 中仅示 S_1 、 S_2 逻辑驱动拓扑结构, S_3 驱动拓

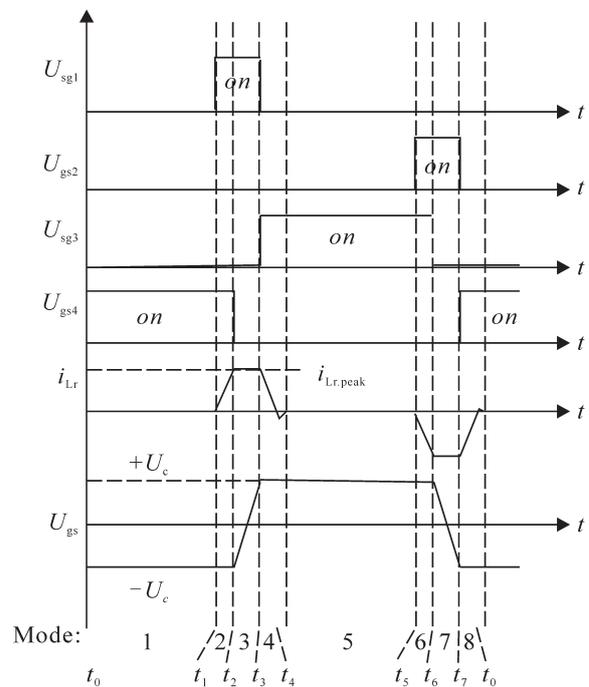


图2 主要工作波形

Fig.2 Main operation waveforms

扑结构结构同 S_1, S_4 驱动拓扑结构结构同 S_2 。 C_{p1}, C_{p2} 为隔直电容 Soft_ref 为软起结构, Delay 为延时模块。逻辑驱动信号上电后, 脉冲电源 V_{ref} 软启动, S_1, S_1 电压均为 U_c , 使得 u_{cp1} 为 0; S_2 电压为 $-U_c$, 使得 u_{cp2} 为 U_c , 方向如图 3(b) 所示。 V_{ref} 软启动结束后, 隔直电容上电压平衡, 由于其电容值远大于 MOSFET 栅源电容, 故不影响驱动过程。隔直电容稳定时间为

$$\tau = C_p R_g \tag{1}$$

其中: C_p 为隔直电容容值; R_g 为栅源极并联电阻, 二极管和栅源极寄生电容远小于 C_p , 故忽略。脉冲电源 V_{ref} 软启动时间需大于隔直电容稳定时间 τ , 避免出现 MOSFET 直通现象。

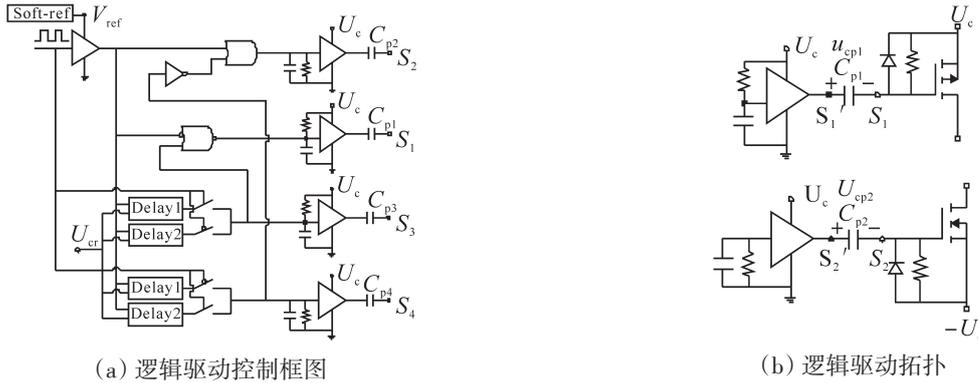


图3 逻辑驱动结构

Fig.3 Structure of logical drive

2.2 电感设计

主管开通过程中, 有如下电路方程

$$\begin{cases} 2U_c t_{12} = i_{Lr,peak} L_r \\ i_{Lr,peak} t_{23} = 2C_{eq} U_c \\ C_{eq} = C_{s3} + C_{s4} + C_{gs} \end{cases} \tag{2}$$

设计中, U_c 为 12 V 直流源。从图 2 可知, 电感充电时间段 (t_1-t_2) 处于 Q 管关断期间, (t_5-t_6) 处于 Q 管导通期间。要维持恒定的电流驱动 Q , 电感 L_r 不宜过低, 因此, t_{12} 相对 t_{23} 较大, 理论最高驱动频率为 $1/(4t_{12})$, 即电感电流处于连续状态。实际驱动中, $i_{Lr,peak}$ 选择安培级, 假定设计 $i_{Lr,peak}=2$ A, $L_r=7$ μ H, 由式(2)计算可知 $t_{12}=583$ ns, 最高驱动频率 $f_{max}=428.8$ kHz, 故在一般的电路中, 电感电流完全可以做到断续。占空比的大小取决于各管的时序安排, 因此需合理配置好各管驱动信号时序。

2.3 驱动电路损耗分析

从波形图不难发现, t_3 时刻, 主管电容电压 U_{gs} 升高到 U_c , 同时 C_{s3} 上电压降至 0, 此时开通 S_3, S_3 可获得 ZVS 开通; t_7 时刻, U_{gs} 达到 $-U_c$, C_{s4} 上电压降至 0, 此时开通 S_4, S_4 为 ZVS 开通。该电路中, S_1, S_2 未能获得软开关, 但 t_1, t_5 时刻显示, 电感电流从 0 开始线性增加, 且相对较缓慢, 因此 S_1, S_2 以较低电流开通, 其开通损耗相对较低。

除此之外, 驱动电路自身损耗主要在电感充放电阶段, 充电回路 ($-U_c-S_4-L_r-S_1-U_c$) 为串联 RL 电路。令 R_1, R_4, R_L 分别为 S_1, S_4 和 L_r 的内部等效电阻, 令等效总电阻为 $R_z=R_1+R_4+R_L$, t_{12} 为充电时间。则电感电流满足如下方程

$$L_r \frac{di_{Lr}}{dt} + R_z i_{Lr} = 2U_c \tag{3}$$

由上式可解得电感电流为

$$i_{Lr}(t) = \frac{2U_c}{R_z} (1 - e^{-\frac{R_z t}{L_r}}) \tag{4}$$

则可得电感充电结束时的电流

$$i_{Lr,peak} = i_{Lr}(t_{12}) \tag{5}$$

该阶段功率损耗为

$$p_{ch} = f_s \int_0^{t_{12}} i_{Lr}^2 R_z dt \tag{6}$$

由于各充放电阶段的回路参数基本相同,因此,其余充放电阶段功率损耗表达式与式(6)相同,在电路的单个工作周期内,驱动电路的充放电功率损耗为 $4P_{ch}$ 。值得注意的是,在 Mode 4 和 Mode 8 两个模式中,电感电流流向直流源,向电源输入端反馈能量。

3 实验与分析

搭建实验电路: $S_1、S_3$ 选择 P 沟道 MOSFET IRF4905,其 $R_{DS(on)}$ 为 $20\text{ m}\Omega$; $S_2、S_4$ 选择 N 沟道 MOSFET IR-FZ44Z,其 $R_{DS(on)}$ 为 $13.9\text{ m}\Omega$ 。 $U_c、-U_c$ 选择正负 12 V 直流源,电感 L_r 取值 $7\text{ }\mu\text{H}$; 主电路开关管选择 IR-GP4063D,其输入电容典型值为 $C_{ies}=3.025\text{ nF}$ 。

配置不同的 Delay1 (即 $t_{1\sim t_2, t_5\sim t_6}$) 值,即可获得不同的电感电流峰值 $i_{Lr,peak}$,从而使主管 Q 获得所需等级的驱动电流。图 4 为传统驱动电路驱动波形,图 4(b) 显示,开通过程中,驱动电流先上升后下降,峰值达 350 mA,开通时间长达 700 ns。图 5 为采用所提电路的驱动波形。图 5(a) 中,Delay1 为 520 ns,可计算知 $i_{Lr,peak}=1.8\text{ A}$,从图 5(b) 中可知, U_{gs} 从 $-U_c$ 上升到 $+U_c$ 用时 20 ns,与图 4(b) 中对比,驱动电流增加,驱动时间大幅度减少,从而减少主开关管开关损耗。

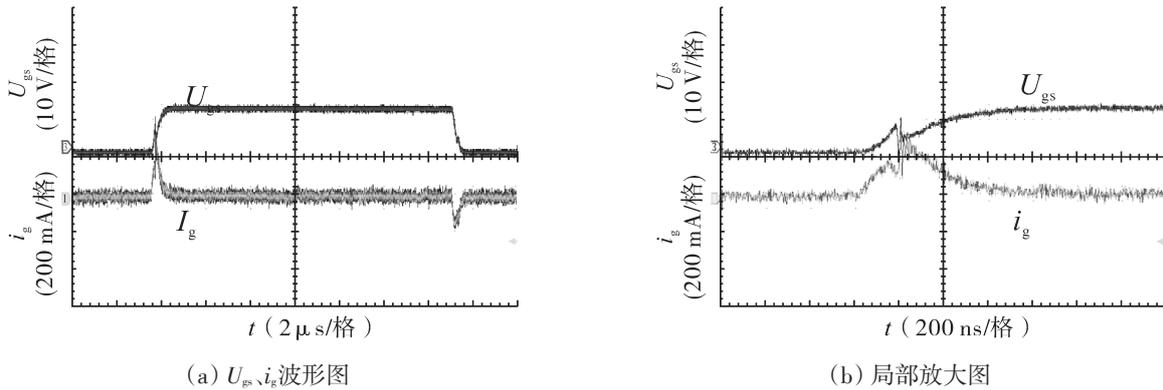


图4 传统驱动电路波形图

Fig.4 Traditional drive waveforms

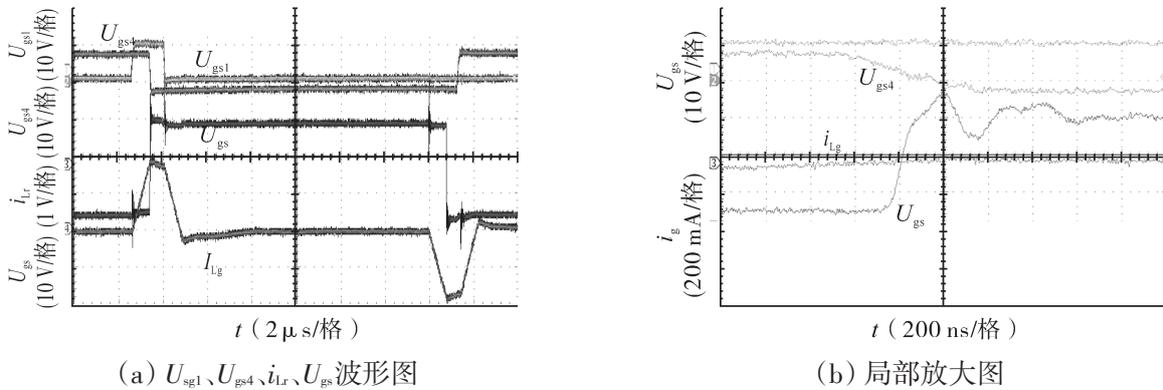


图5 $i_{Lr,peak}=1.8\text{ A}$ 时的波形图

Fig.5 Waveforms under $i_{Lr,peak}=1.8\text{ A}$

将所提驱动电路与普通驱动电路应用在 Boost 电路上,测试该电路在不同驱动电路下的系统总效率,

所测得两者的效率对比曲线如图6所示。从测试结果可知,在额定负载附近,采用所提驱动电路的系统的效率提升了1%以上;轻载时,效率提升幅度更大,高达2.2%。

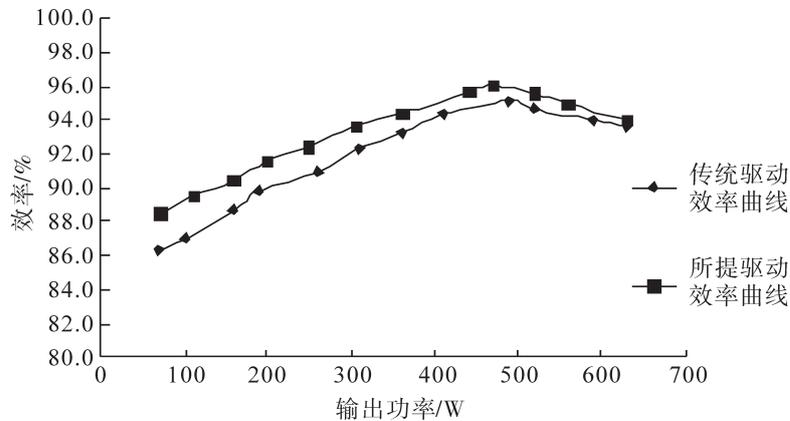


图6 效率对比曲线图

Fig.6 Comparison curves of efficiency

4 结论

提出了一种恒流源功率管驱动控制电路,设计了相应的驱动管开关逻辑关系与电路实现,电路具有以下特征。

- 1) 利用电感电流不能突变原理实现恒流驱动主开关管的开通与关断。
- 2) 驱动电路中部分开关管可做到软开关。
- 3) 电感电流工作于断续状态,减少了不必要的通态损耗。
- 4) 可实现能量回馈。

该电路的主要缺点是驱动过程中存在一个环流过程,但该环流电流较小,持续时间较短。通过实验验证了所提驱动电路的可行性及有效性,相比传统驱动电路,在不同输出功率下,电路效率均有所提高。

参考文献:

- [1] 胡宗波,张波.同步整流器中 MOSFET 的双向导通特性和整流损耗研究[J].中国电机工程学报,2002,22(3):88-93.
- [2] 胡宗波,张波.新型栅极电荷保持驱动同步整流器的研究[J].电工技术学报,2003,18(2):45-50.
- [3] 黄占伟,周娟,谢承旺.一种优化同步整流 AC/DC 变换器的应用研究[J].华东交通大学学报,2012,29(2):36-40.
- [4] 顾亦磊,黄贵松,章进法,等.一种新颖的同步整流驱动电路[J].中国电机工程学报,2005,25(5):74-78.
- [5] 顾亦磊,黄贵松,章进法,等.一种适用于模块并联的同步整流驱动电路[J].中国电机工程学报,2005,25(4):25-29.
- [6] FUJITA H. A resonant gate-drive circuit capable of high-frequency and high-efficiency operation[J].IEEE Trans Power Electron, 2010,25(4):962-969.
- [7] WIEGMAN H L N. A resonant pulse gate drive for high frequency applications[J]. Proc Appl Power Electron Conf, 1992(23-27): 738-743.
- [8] 郭晓君,林维明.新型双功率 MOSFET 管谐振驱动电路[J].中国电机工程学报,2011,31(33):44-51.
- [9] DWANE P, SULLIVAN D O, EGAN M G. An assessment of resonant gate drive techniques for use in modern low power dc-dc converters[J].Proc IEEE APEC,2005(3):1572-1580.
- [10] EBERLE W, SEN P C, LIU Y F. A new resonant gate drive circuit with efficient energy recovery and low conduction loss[C]//Proceedings of Industrial Electronics Society, Raleigh, USA:IEEE,2005:650-655.

- [11] XU KAI, LIU YANFEI, SEN P C. A new resonant gate drive circuit utilizing leakage inductance of transformer [C]//Proceedings of IEEE Industrial Electronics, Paris, France:IEEE, 2006:1933–1937.

A Constant-current Source Drive Circuit for Power Transistors

Yuan Yisheng, Zhu Benyu, Luo Feng

(School of Electrical and Electronic Engineering, East China Jiaotong University, Nanchang 330013, China)

Abstract: This study proposes a constant current source drive circuit with a full-bridge structure and dual power sources, which achieves the drive on-off with positive or negative voltage. The constant drive current is obtained by the inductance current at short circuit state. Regulating the charge and discharge time can obtain different level driving current, thus improving efficiency for power switches. The discontinued current of the inductance reduces the on-state losses of power transistors. The working principle, switching logic, and inductance's design as well as the power losses are then elaborated. The Boost circuit test shows that the circuit efficiency has increased by more than 1% with the proposed drive circuit compared to traditional drive circuit.

Key words: constant-current drive; power transistor; full-bridge structure; discontinued inductance current

(责任编辑 姜红贵)

(上接第 98 页)

Annual Electric Load Forecasting Based on Gray Neural Network with Fruit Fly Optimization Algorithm

Fu Jundong, Liu Jing, Yu Yong

(School of Electrical and Electronic Engineering, East China Jiaotong University, Nanchang 330013, China)

Abstract: The accuracy of annual electric load forecasting plays an important role in economic and social benefits of electric power systems. The Gray Neural Network is an innovative computing approach, which has found wide application in reality. As a novel meta-heuristic and evolutionary algorithm, the fruit fly optimization algorithm has the advantages of being easy to understand and fast convergence to the global optimal solution. Therefore, to improve the forecasting performance, this paper proposes a GNN-based annual electric load forecasting model that uses FOA to automatically determine the appropriate values of the parameters for the GNN model to improve the forecasting accuracy and stability of the model. By taking the annual electricity consumption of China as an instance, the computational result shows that the GNN combined with FOA outperforms other alternative methods, namely the single GNN, the generalized regression neural network, the least squares support vector machine (LSSVM) and the regression model.

Key words: annual electric load forecasting; gray neural network; fruit fly optimization algorithm; optimization problem

(责任编辑 姜红贵)