

文章编号:1005-0523(2018)04-0089-08

基于 ZYNQ 的谐波检测系统设计

夏国标,陈剑云,夏孟显

(华东交通大学电气与自动化工程学院,江西 南昌 330013)

摘要:采用基于快速傅里叶变换(fast fourier transform,FFT)的加窗插值算法进行谐波分析。针对目前谐波检测系统存在的运算量大、计算时间长、实时性差等技术瓶颈。提出了使用集成现场可编程逻辑阵列(field-programmable gate array, FPGA)的高速数据处理能力和 ARM(advanced RISC machines)高效数字信息管理能力的 ZYNQ 作为主控芯片的方案。使用 FPGA 技术实现基于 FFT 的加窗插值算法,在 Vivado 平台中建立谐波检测系统,利用 Xilinx 公司推出的搭载 ZYNQ 芯片的 ZedBoard 开发板计算出 50 次以内各次谐波的频率、幅值和相位。将分析结果与 Matlab 仿真对比,验证了使用该系统进行谐波分析具有较高的精确度。

关键词:谐波;频谱泄露;Hanning 窗;插值算法;FPGA;ZYNQ

中图分类号:TP274

文献标志码:A

电力系统中使用大量电力电子设备,导致电网污染日益严重,电网中存在着大量的谐波,谐波干扰使得电网波形发生畸变,损耗随之增加,严重影响了电力系统的安全、稳定运行。快速准确的分析和监测谐波参数是治理谐波的前提和基础。

文献[1]阐述了频域和时域分析谐波的方法。文献[2-4]提出了基于 FFT 的谐波测量被广泛应用于国内外的谐波检测装置中。但由于非同步采样和非整周期截断产生的频谱泄露和栅栏效应,使谐波参数(频率、幅值和相位)计算精度不够。文献[5-7]提出了基于 FFT 的加窗插值算法,但使用的是数字信号处理器芯片(digital signal processor,DSP)或者独立的 FPGA 芯片进行数字信号处理,需要使用额外芯片对运算后的数据进行管理。

在以上研究的基础上,提出使用 Xilinx 公司的 ZYNQ 芯片进行谐波检测。此芯片集成 FPGA 的高速数据处理能力和 ARM 高效数字信息管理能力。使用 FPGA 技术进行谐波信号分析,充分发挥了 FPGA 并行运算的优势,因此数据处理的速度要明显高于 DSP。处理完成后的数据通过直接存储器存取(direct memory access,DMA)用 ARM 嵌入式操作系统进行存储和管理。使用 ZYNQ 芯片中的 FPGA 实现了加窗插值 FFT 算法分析 50 次以内的谐波,计算出的谐波参数通过 ARM 部分进行输出显示。在 Vivado 开发平台中成功建立了谐波检测系统,将计算出的谐波幅值,相位和频率,与 Matlab 仿真对比,验证了该系统计算结果具有较高的精确度。

1 谐波检测系统总体设计

ZYNQ SOPC 系统开发包括 PL 逻辑开发和 PS 程序开发。本文逻辑系统采用 Vivado 进行开发,软件程序采用 Vivado 的配套软件 SDK 进行开发。谐波检测系统的总体设计如图 1 所示,Vivado 中系统设计采用图形化输入。以 IP 核的形式建立各模块,包括将非同步采样的 2 048 点谐波信号采用直接内存存取(DMA)的方式和 Hanning 窗进行加窗运算的模块,该模块能够较好的抑制频谱泄露。谐波信号加窗后进行 FFT 运算的模块,信号由时域变换到频域包含诸如频率、幅值和相位等丰富信息,是进行谐波分析的重要参数。由于

收稿日期:2018-01-14

基金项目:国家自然科学基金地区基金项目(51467004)

作者简介:夏国标(1993—),男,硕士研究生,研究方向为基于 FPGA 的数字信号处理。

通讯作者:陈剑云(1962—),男,教授,博士生导师,研究方向为电力系统监控及自动化、远动技术。

非同步采样和非整周期截断造成 FFT 运算后仍有不可忽视的误差,使用插值算法进行误差修正的模块。

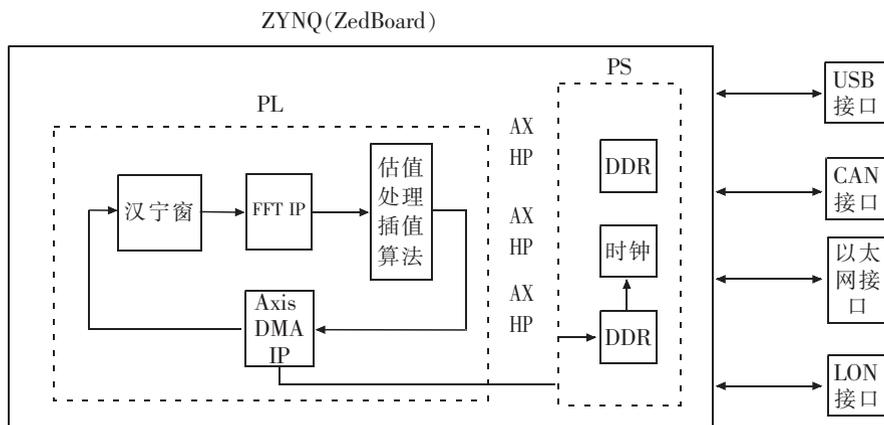


图1 系统总体设计

Fig.1 System overall design

模块之间以及 ZYNQ 芯片的 PL 部分与 PS 部分之间使用 AXIS 总线协议通信。谐波信号经过 ZYNQ 芯片的 PL 部分(FPGA)处理后由 PS 部分(ARM)进行数据的存储以及时钟和网络的管理。根据 Vivado 中丰富的 IP 核资源,选择 FFT、DMA、PS 等 IP 核进行配置满足谐波检测系统各项功能需求。此外,本文提出了自定义实现加窗功能的 IP 核以及实现误差修正的插值算法 IP 核。这 2 个 IP 核的设计过程中例化了实现基本运算的 IP 且根据系统功能需求进行了相应配置。

2 谐波检测系统的算法分析

2.1 FFT 分析的频谱泄露问题

FFT 进行谐波分析时,当基波频率 f_0 为频率分辨率的整数倍,即同步采样时,采样值为谱线峰值,此时没有频谱泄露,同步采样可以准确的计算信号的频率,幅值和相位参数。当 f_0 为频率的非整数倍,即非同步采样时,由于非同步采样存在频谱泄露,采样值不是谱线峰值,只能获得谱线峰值附近的幅值^[8,11]。

取 8 次谐波混频信号分别进行同步和非同步采样。同步采样 f_0 为 50 Hz,非同步采样 f_0 为 52 Hz,采样频率为 1 600 Hz,采样点数为 512。由图 2 可知在基波处,同步采样下 FFT 计算的信号谱线峰值出现在 50 Hz 频率点处,非同步采样下 FFT 计算的信号谱线峰值出现在非 50 Hz 的频率点处,即非同步采样时频谱发生了泄露。通过加窗以及采用插值修正算法,可以明显的改善谐波的频率、幅值和相位。

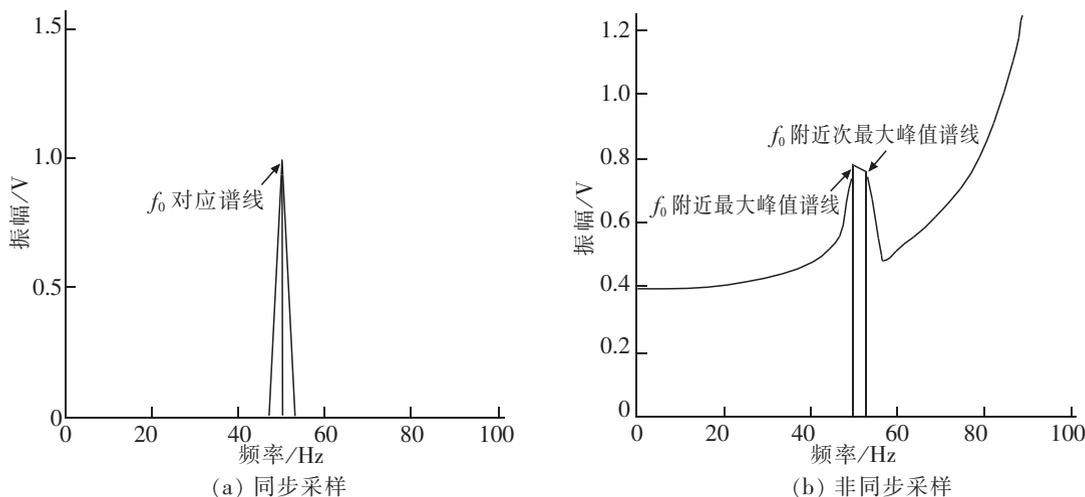


图2 同步采样与非同步采样频谱

Fig.2 The spectrum of synchronous sampling and non-synchronous sampling

2.2 加窗插值算法分析谐波

针对非同步采样引起的频谱泄露,国内外学者先后运用各种窗函数进行加窗插值 FFT 分析,使得频谱泄露和栅栏效应得到了明显的抑制。表 1 所列举的基波频率为 51.7 Hz 的 5 次谐波信号分别使用表 2 所列出的 4 种窗进行加窗插值算法进行,在 Matlab 中的仿真结果表 2 所示。

表 1 5 次谐波信号
Tab.1 Harmonic signals for 5 times

参数	基波	谐波次数/次			
		2	3	4	5
幅值/V	2 200	210	320	430	479
相位/(°)	147	165	104	104	158

表 2 不同窗函数加窗插值算法的 matlab 计算结果
Tab.2 Matlab calculation results of different interpolation algorithm with windows

参数	仿真信号	基波	谐波次数			
			2	3	4	5
频率/Hz	矩形窗	51.705 5	102.500 4	155.165 5	205.768 1	258.593 2
	Hamming 窗	51.701 5	103.376 6	155.120 9	206.774 2	258.526 0
	Hanning 窗	51.700 0	103.398 9	155.099 7	206.799 7	258.499 9
	Blackman 窗	51.700 0	103.399 4	155.099 8	206.799 8	258.499 9
幅值/V	矩形窗	2 200.436 0	233.410 3	324.765 0	440.544 2	485.658 0
	Hamming 窗	2 200.009 9	210.816 0	320.289 3	431.320 3	479.995 3
	Hanning 窗	2 200.000 0	210.039 9	319.997 5	430.011 0	478.993 7
	Blackman 窗	2 200.000 0	210.016 7	319.998 9	430.004 7	478.997 4
相位/(°)	矩形窗	145.463 2	-29.958 0	88.735 4	-23.854 9	151.855 7
	Hamming 窗	146.758 5	164.464 0	101.746 2	105.299 6	156.427 3
	Hanning 窗	147.001 8	165.100 8	104.022 7	104.019 8	158.003 0
	Blackman 窗	147.000 9	165.049 6	104.011 4	104.010 1	158.001 9

仿真结果说明,矩形窗对频率、幅值和相位的修正结果最差,尤其对相位的修正结果已经失去了参考价值。Blackman 窗的修正结果精度最高,但是其修正公式复杂,FPGA 实现所需耗费资源过大。Hanning 窗的修正结果比 Hamming 窗更精确,且 Hanning 窗的插值公式简单、计算量较小、旁瓣衰减快,容易编程实现,相较于其他窗也更容易在数字信号处理芯片上实现;因此将加 Hanning 窗插值算法移植到 FPGA 中进行谐波分析。Hanning 窗插值算法对应的频率,幅值和相位的误差修正公式为式(1)~式(5)。

$$f=(k_0+\alpha-0.5) \Delta f \tag{1}$$

$$w(n)=0.5-0.5 \cos(2\pi n/N) \quad (n=0,1,\dots,N-1) \tag{2}$$

$$\alpha=1.5 \beta \tag{3}$$

$$\theta=\arg[\bar{X}(k_i \Delta f)]+\frac{\pi}{2}-\pi(\alpha-(-1)^i 0.5) \quad (i=0,2) \tag{4}$$

$$A=N^{-1} (y_1+y_2) (2.356\ 194\ 03+1.155\ 436\ 82\ \alpha^2+0.326\ 078\ 73\ \alpha^4+0.078\ 914\ 61\ \alpha^6) \quad (5)$$

式中： k_0 表示最大峰值谱线的标号； Δf 为频率分辨率， $\beta=(y_2-y_1)/(y_2+y_1)$ ，其中 y_1, y_2 分别为最大和次最大分支谱线的幅值； f 表示修正的基基础频率的修正值； $w(n)$ 表示 Hanning 窗幅度函数； Q 表示谐波相位的修正值； A 表示谐波幅值的修正值。

3 FPGA 实现谐波检测算法

本文对如下形式的谐波信号进行计算：

$$x(n)=\sum_{i=1}^{50} A_i \sin(2\pi \frac{if_i}{f_s} n+\varphi_i) \quad (6)$$

式中： $x(n)$ 表示包含基波以及时 2 次至 50 次谐波的波频信号；基波频率 f_1 为 50.11 Hz；采样频率 f_s 为 10 240 Hz，截断信号的数据长度 N 取 2 048 点。给出 50 次以内谐波的混频信号，由于测量的谐波次数较多，且电力系统谐波含量远低于基波含量，偶次谐波含量远低于奇次谐波，限于篇幅，现给出基波和部分含量较高的奇次谐波的幅值和相位如表 3 所示。经过 Matlab 仿真分析，选择 Hanning 窗。使用 Verilog 编程，自定义 IP 核实现对谐波信号的加窗和误差修正。谐波信号处理流程如图 3 所示。

表 3 基波以及部分奇次谐波的幅值和相位

Tab.3 Amplitude and phase of fundamental and partial odd harmonics

参数	基波	谐波次数/次								
		3	5	7	9	11	13	...	47	49
幅值/V	29 680	246	371	177	218	366	254	...	51	38
相位/(°)	147	104	51	19	69	41	28	...	11	68

实现谐波计算的主要 IP 核的输入、输出数据格式和位宽如图 4 所示。谐波信号数据以 16 位二进制数表示，作为 Hanning 窗 IP 核的输入端，十进制的窗函数的系数文件存入 ROM 中，窗函数系数作为 ROM 中的输出为 15 位二进制。16 位的谐波信号与无符号 15 位窗函数系数相乘的输出为 31 为无符号二进制数。Hanning 窗的输出作为 FFT 运算的输入端为 64 位二进制，因此 Hanning 窗的输出端设置为 64 位二进制数，低 32 位为乘法器 Mul 的有符号输出结果，高 32 位补 0。

Vivado 中自带 FFT 的 IP 核，且功能非常强大，为本文进行快速傅里叶变换带来了极大便利。将此 IP 核设置为单通道、2 048 点，流水线 I/O 结构。输入和输出数据均为 64 位二进制补码的，且输出端高 32 位表示 FFT 后的虚部，低 32 位表示实部。为防止数据溢出，FFT 的数据格式设置为缩放的定点模式，在每个基-2 蝶形单元计算之后对数据进行缩放。对于 FFT 的缩放因子进行配置，是实现 FFT 运算的关键。对于流水的数据流 I/O 结构，该信号位宽为 $2 \times \lceil \log_2(NFFT/2) \rceil$ 。变换点数 NFFT 的值等于以 2 为底数的对数。每一对基-2 蝶形单元用 2 个比特表示缩放因子，其中第一级的缩放因子是最低位的 2

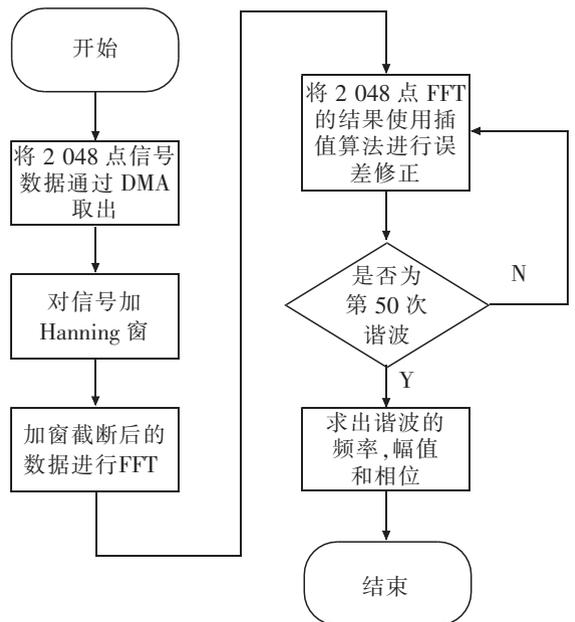


图 3 谐波信号处理流程图

Fig.3 Flow chart of harmonic signal processing

个比特。将每一对相邻的基-2 级看成一组[10]。第 1 组包括第 1 级和第 2 级,第 2 组包括第 3 级和第 4 级,以此类推。每 1 组中,数据可以移位 0,1,2,或 3 来实现缩放,相应的缩放因子的值分别为 00,01,10,11。本文变换点数为 $N=2\ 048$,缩放因子设置为[0001010101010111],所以缩放因子是[2,2,2,2,2,3],表示第 1 组(第 1 级和第 2 级)的数据右移 3 位,第 2 组(第 3 级和第 4 级)的数据右移 2 位,依次类推可知此缩放方案总共对数据右移了 24 位。

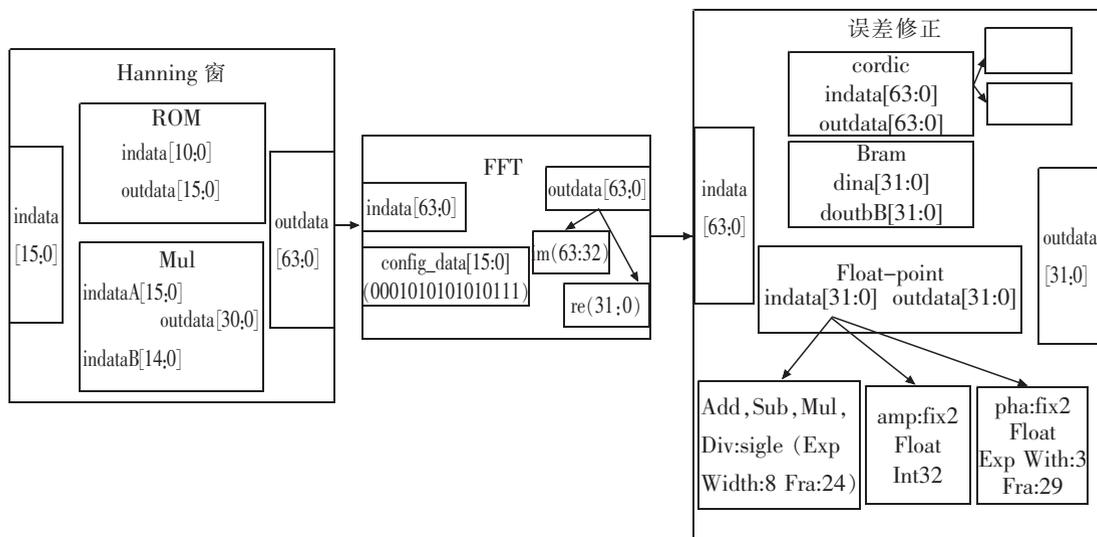


图 4 IP 核数据位宽
Fig.4 Data width of IP nuclear

信号经过 FFT 后,得到包含实部和虚部的 64 位二进制定点数,需要将频域信息以相位和幅值的形式表示。因此对 FFT 变换后的数据由直角坐标转换为极坐标,使用 Vivado 中的 Cordic IP 核实现,FFT 的输出端作为 Cordic 的输入信号,其输出端的 64 位二进制的高 32 位表示相位信息,低 32 位表示幅值信息。分别将表示幅值和相位信息的数据用 Vivado 中的分布式 RAM(配置为 32 位的 BRAM)存储以便后续对数据使用插值算法进行误差修正。为了提高计算精度,数据采用浮点形式计算,例化的 Floating-point 核的各输入数据格式均在图 4 中给出。

图 4 所示的 3 个模块的 IP 在 Vivado 中分别进行仿真调试成功后,将 ZYNQ7 Processing System IP、Processing System Reset IP、DMA IP 以及在各模块中起连接作用的 AXI Interconnect IP 核连接起来。组成一个完整的谐波检测系统,通过导入引脚和时钟约束文件,在约束驱动程序下完成综合、布局、布线,最终生成用于配置 PL 的 Bitstream 文件和用于 SDK 产生 ARM 的硬件初始化的相关文件。计算结果在 SDK 中通过串口显示。

实现后占用的 FPGA 资源如表 4 所示,由表可知,利用较少的资源即实现了 50 次谐波的检测。ZYNQ 芯片完全有足够资源针对所求得的谐波频率、幅值和相位进行后期处理。

表 4 FPGA 资源利用率
Tab.4 Resource utilization of FPGA

资源	已使用资源	总资源	资源占用率/%
LUT	18 186	53 200	34.18
LUTRAM	1 863	17 400	10.71
FF	27 117	106 400	25.49
BRAM	17	140	12.14
DSP	62	220	28.18
BUFG	1	32	3.13

4 谐波计算结果分析

为验证所设计的系统在谐波分析中的有效性,针对上一节所给出的50次谐波信号分别使用该系统和在Matlab中仿真对比研究,限于篇幅,未列出使用FPGA和Matlab计算的所有50次谐波的频率、幅值和相位的所有结果,将表3中列出基波和奇次谐波的计算结果列于表5中。如图5所示,直观的表现出了基于ZYNQ的谐波检测系统的计算结果和Matlab仿真值相对误差。

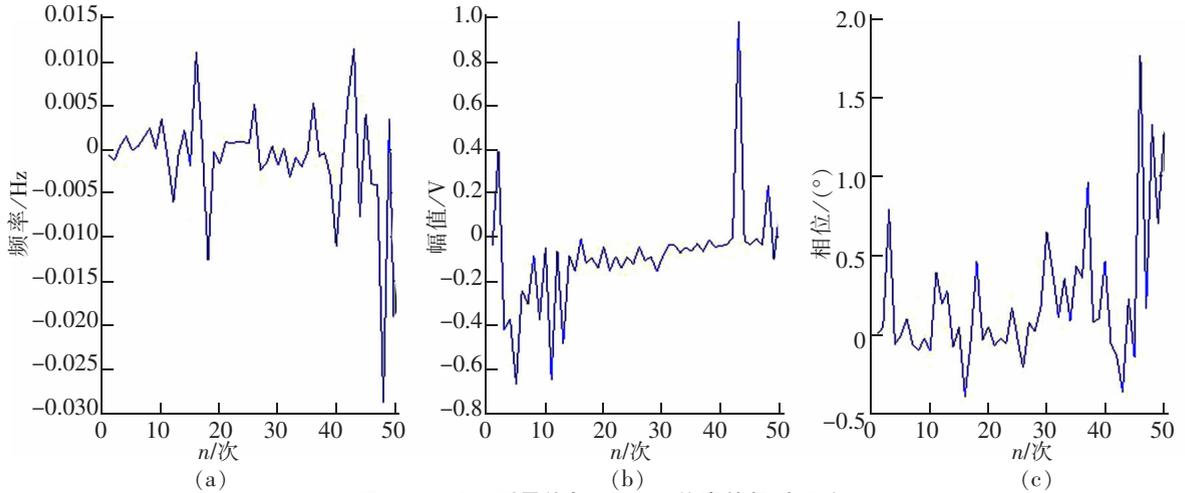


图5 FPGA测量值与Matlab仿真的相对误差

Fig.5 Relative error between FPGA measurement and Matlab simulation results

由表5可知,使用Matlab仿真的结果中,频率的相对误差的数量级为 10^{-4} ,幅值和相位的相对误差的数量级均为 10^{-2} ,仿真结果的精度非常高,接近真实值。将基于ZYNQ的谐波检测系统的计算结果与Matlab仿真结果对比分析,二者的相对误差如图5所示,由图可知,基于ZYNQ的谐波检测系统计算的频率误差的数量级为 10^{-2} ,幅值的误差数量级为 10^{-1} ,相位的误差在 2° 以内。由于数据的截断、缩放和定点数与浮点数之间的转换引入的误差,导致基于ZYNQ的谐波检测系统误差比Matlab仿真结果误差大。但根据基波和各次谐波的含量,由相应谐波检测装置的国家标准中给出的幅值和相位测量允许误差可知,此误差在允许的范围内,该谐波检测系统可以投入工业使用。

表5 FPGA计算结果与MATLAB仿真对比

Tab.5 Comparison of FPGA calculation results and MATLAB simulation results

谐波	Matlab 频率/Hz	FPGA 频率/Hz	Matlab 幅值/V	FPGA 幅值/V	Matlab 相位/ $^\circ$	FPGA 相位/ $^\circ$
1	50.110 01	50.109 38	29 679.951 14	29 679.914 06	146.999 20	147.000 00
3	150.327 74	150.328 13	246.056 54	245.633 79	104.097 38	104.878 91
5	250.549 93	250.549 80	371.007 53	370.337 89	51.000 63	50.987 30
7	350.770 16	350.771 48	177.000 63	176.697 27	18.997 93	18.934 57
9	450.990 16	450.990 23	218.001 46	217.629 88	68.994 94	68.961 91
11	551.209 86	551.208 98	366.004 30	365.357 42	41.003 93	41.390 63
13	651.429 39	651.428 71	254.005 57	253.522 46	28.021 65	28.292 97
...
47	2 355.170 10	2 355.166 01	50.999 62	50.960 94	10.995 91	11.162 11
49	2 455.390 06	2 455.393 55	37.999 93	37.893 55	67.997 00	68.693 36

5 结论

本文针对目前电网谐波检测装置中存在处理速度慢,信号处理、存储和管理模块分离的问题,提出了使用集成 FPGA 和 ARM 的 ZYNQ 芯片的方案。利用此芯片中 FPGA 部分可以并行处理信号和 ARM 嵌入式操作系统部分对数据管理的优势进行谐波检测分析。针对 FFT 谐波分析的泄露问题,选择了 4 种窗函数对谐波信号进行加窗插值 FFT 计算。通过 Matlab 仿真研究,选择了最适合在数字信号处理芯片上实现的 Hanning 窗。在 FPGA 的开发平台 Vivado 中使用 Verilog 语言编写了加窗模块和实现误差修正的插值算法模块,调用并配置了 FFT、CORDIC、Floating-Point、ZYNQ7 Processing System、Processing System Reset 以及 DMA 等 IP 核,将基于加 Hanning 窗插值 FFT 算法的谐波分析在 ZYNQ 芯片上实现,计算结果在 Vivado 的配套软件 SDK 的串口中打印显示。为了验证谐波检测系统的有效性,取一个含有 50 次谐波的混频信号,分别使用 Vivado 平台中建立的谐波检测系统和在 Matlab 中编程计算出谐波的频率、幅值和相位。对基于 ZYNQ 芯片和 Matlab 的计算结果进行误差对比分析,得出谐波的频率、幅值和相位均在谐波检测装置的国家标准允许误差范围之内,验证了此谐波检测系统的有效性。

参考文献:

- [1] 钟汉华,陈剑云,周欢. 基于 Zynq 的 RTU 遥测量计算与误差补偿实现[J]. 华东交通大学学报,2017,34(4):91-96.
- [2] 邱海锋,周浩. 非同步采样下电网谐波分析方法的探讨[J]. 继电器,2008(1):57-62.
- [3] 祁才君,陈隆道,王小海. 应用插值 FFT 算法精确估计电网谐波参数[J]. 浙江大学学报:工学版,2003,38(1):114-118.
- [4] XILINX INC. XA Zynq-7000 All Programmable SoC First Generation Architecture[M]. USA, Chicago: Xilinx Inc., 2012.
- [5] 庞浩,李东霞,俎云霄,等. 应用 FFT 进行电力系统谐波分析的改进算法[J]. 中国电机工程学报,2003(6):50-54.
- [6] 王刘旺,黄建才,孙建新,等. 基于加汉宁窗的 FFT 高精度谐波检测改进算法[J]. 电力系统保护与控制,2012,40(24):28-33
- [7] 黄纯,江亚群. 谐波分析的加窗插值改进算法[J]. 中国电机工程学报,2005,(15):26-32.
- [8] 杨阳. 窗函数特性及加窗插值 FFT 算法的研究[D]. 郑州:郑州大学,2010.
- [9] HEYDT G T, FJELD P S, LIU C C, et al. Applications of the windowed FFT to electric power quality assessment[J]. IEEE Transactions Power Delivery, 1999, 14(4): 1411-1416.
- [10] 肖炆. 基于 FPGA 的 10 kV 输电线行波故障测距装置的设计与研究[D]. 南昌:华东交通大学,2016.
- [11] 李志刚,汪涛,何怡刚,等. 基于改进余弦窗的加窗插值 FFT 谐波分析[J]. 电气工程学报,2016,11(4):15-21.
- [12] 李明勇,郑恩让,马令坤. 基于 FPGA 的电力系统谐波分析仪[J]. 仪表技术与传感器,2013(2):31-33+45.
- [13] 高超. 基于 FPGA 的电能质量测控装置的研究[D]. 济南:山东建筑大学,2010.
- [14] 宋平岗,文发. 基于 LMS 形态滤波和 Hilbert 变换的电能质量扰动定位[J]. 华东交通大学学报,2015,32(1):86-92.
- [15] 马令坤,于新颖,郑恩让. 基于 FPGA 的电力谐波分析方法[J]. 电源技术,2013,37(5):825-827.
- [16] 刘亚锋. 基于 FPGA 的电能质量分析系统的设计与实现[D]. 武汉:武汉理工大学,2013.
- [17] 黄志,张峰,张士文,等. 一种基于 FPGA 的电能计量算法研究[J]. 电测与仪表,2016,53(15):57-62.

Design of Harmonic Detection System Based on ZYNQ

Xia Guobiao, Chen Jianyun, Xia Mengxian

(School of Electrical and Automation Engineering, East China Jiaotong University, Nanchang 330013, China)

Abstract: Window interpolation algorithm based on Fast Fourier transform (FFT) was adopted to analyze the harmonics. The current harmonic detection system has many bottlenecks, such as large amount of operation, long calculation time and poor real-time performance. Then, a scheme that takes ZYNQ which integrates Field-Programmable Gate Array's (FPGA) high speed data processing capability and ARM efficient digital information management capability as the main control chip was proposed. The FPGA technology was used to realize the window interpolation FFT algorithm. The harmonic analysis system was also established in the Vivado platform. The frequency, amplitude and phase of 50 harmonics were calculated by the ZedBoard development board equipped with ZYNQ chip, and the results are compared with that of Matlab simulation. The research results show that harmonic analysis by using this system has high accuracy.

Key words: harmonics; spectrum leakage; Hanning window; interpolation algorithm; FPGA; ZYNQ