

利用 MSI 实现组合逻辑电路的设计方法

裴亚男

(电气工程系)

摘要 本文叙述了用 MSI(主要是数据选择器和译码器)设计组合逻辑电路的方法,并分几种情况加以讨论。

关键词 组合逻辑;设计;中规模集成电路

分类号 TN791

0 引言

随着集成技术的发展,中、大规模集成电路的应用日渐普遍。在数字系统中,传统的用通用逻辑门(SSI)设计组合逻辑电路或时序逻辑电路中组合电路部分的方法,在其电路的经济性、可靠性及简单性上,已显示不出其优越性。而利用中规模集成电路来设计具有完全相同功能的电路,则所用集成芯片数量减少,集成电路间连线也减少,从而使电路的经济性、可靠性等都大大提高。

利用中规模集成电路设计组合逻辑电路,其设计方法不同于用 SSI 的设计方法。一般说来,用 SSI 设计时,总是根据所提问题列出真值表,然后用卡诺图化简得最简与或式。在变量数目较多时,则采用计算机辅助的手段来进行化简。而利用 MSI 设计时,根据所提问题列出真值表后,下一步应考虑选择哪种 MSI 来设计。选择不同品种的 MSI,其设计方法不同。一般利用数据选择器来设计单输出的组合逻辑电路较方便,而用译码器设计多输出的组合电路则更显示出其优越性。下面就这两种 MSI 分别讨论其设计组合逻辑电路的方法。

1 利用数据选择器实现组合逻辑电路的设计方法

对于 N 选一数据选择器,它的输出逻辑函数为 $F = \sum_{i=0}^{2^n-1} m_i I_i$, 式中: m_i 为选择地址输入变量 $A_{n-1} \cdots A_0$ 的最小项; I_i 为输入数据。而任何组合逻辑电路都可以表达成最小项和的形式,所以,用 N 选一数据选择器设计 n 变量组合电路既简单又方便。 n 和 N 的关系为: $2^n = N$ 。

但是,欲设计组合电路变量数不总是和数据选择器地址输入端数相吻合,在不相吻合时如

收稿日期:1995-10-03. 裴亚男,女,1957年生,讲师。

何设计呢?

1.1 利用 N 选一数据选择器实现变量数 $< n$ 的组合电路

当数据选择器选定后,如果欲设计组合电路的变量数少于数据选择器的地址输入端数,则将多余地址输入端设置常量“0”或“1”,且多余地址输入端可任意指定.在变量输入端和地址输入端一一对应确定下来,且多余地址输入端的常量值也确定下来后,就可确定数据输入端的数据了.

例 用八选一数据选择器实现 $Y = \bar{A}B + AB$.

设 $A \rightarrow A_2, B \rightarrow A_1, A_0$ 为多余地址输入端.

数据选择器的输出函数为

$$F = \sum m_i I_i \quad (i = 0 \sim 7)$$

$$= \bar{A}_2 \bar{A}_1 \bar{A}_0 I_0 + \bar{A}_2 \bar{A}_1 A_0 I_1 + \bar{A}_2 A_1 \bar{A}_0 I_2 +$$

$$\bar{A}_2 A_1 A_0 I_3 + A_2 \bar{A}_1 \bar{A}_0 I_4 + A_2 \bar{A}_1 A_0 I_5 + A_2 A_1 \bar{A}_0 I_6 +$$

$$A_2 A_1 A_0 I_7,$$

令 $A_0 \equiv 0$,

则 $F = \bar{A}_2 \bar{A}_1 \bar{0} I_0 + \bar{A}_2 \bar{A}_1 0 I_1 + A_2 \bar{A}_1 \bar{0} I_2 + A_2 A_1 \bar{0} I_4$

和 $Y = \bar{A}B + AB = \bar{A}_2 \bar{A}_1 + A_2 A_1$ 对照

有 $I_0 = I_1 = 1; I_2 = I_4 = 0; Y = F$.

由于地址码 $A_2 A_1 A_0 = 001, 011, 101$ 和 111 不可能出现,所以,数据输入端 I_1, I_3, I_5 和 I_7 可任意设置(如图 2(a)).

又如令 $A_0 \equiv 1$

则 $F = \bar{A}_2 \bar{A}_1 \bar{1} I_0 + \bar{A}_2 \bar{A}_1 1 I_1 + \bar{A}_2 A_1 \bar{1} I_2 + \bar{A}_2 A_1 1 I_3 + A_2 \bar{A}_1 \bar{1} I_4$

$$+ A_2 \bar{A}_1 1 I_5 + A_2 A_1 \bar{1} I_6 + A_2 A_1 1 I_7,$$

$$= \bar{A}_2 \bar{A}_1 1 I_1 + \bar{A}_2 A_1 1 I_3 + A_2 \bar{A}_1 1 I_5 + A_2 A_1 1 I_7,$$

和 $Y = \bar{A}B + AB = \bar{A}_2 \bar{A}_1 + A_2 A_1$ 对照

有 $I_1 = I_7 = 1; I_3 = I_5 = 0; Y = F$.

同理,地址码 $A_2 A_1 A_0 = 000, 010, 100$ 和 110 不会出现,所以 I_0, I_2, I_4 和 I_6 可任意设计(如图 2(b)).

实际上,变量 A, B 可和任意两个地址端相对应,地址输

入端 A_2, A_1, A_0 中任何端都可作为多余端.但是一旦变量和地址输入端关系确定,且多余地址端常量也设定后,则数据输入端的数据也就唯一确定.

1.2 利用 N 选一数据选择器实现变量数 $> n$ 的组合电路

如果欲设计的组合电路变量数为 $n+1$,则实现起来很方便,将 n 个变量输入端和 n 个地址输入端一一对应,剩下一个变量可置于数据输入端.如果变量数 $> n+1$,这时要根据具体的变量数和逻辑函数的复杂程度来确定采用哪种设计方案.

例 用四选一数据选择器实现函数 $Y = Y(A, B, C, D)$.

$$Y(A, B, C, D) = \sum m(0, 3, 5, 6, 9, 10, 12, \dots)$$

$$= \bar{A} \bar{B} \bar{C} \bar{D} + \bar{A} \bar{B} C D + \bar{A} B \bar{C} D + \bar{A} B C \bar{D} + A \bar{B} \bar{C} D + A \bar{B} C \bar{D} + A B \bar{C} \bar{D} + A B C D.$$

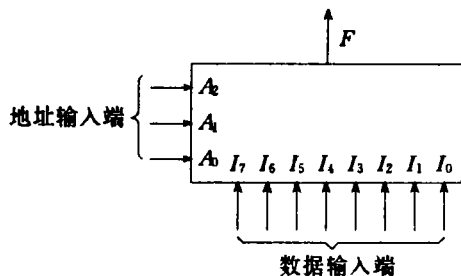
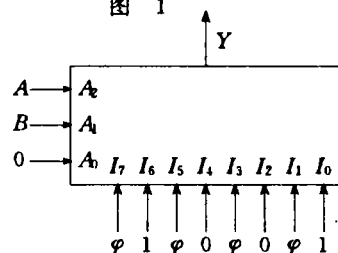
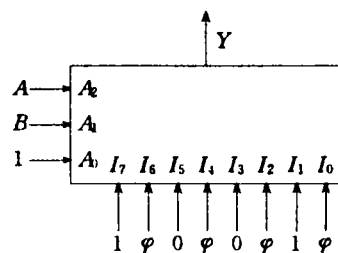


图 1



(a)



(b)

图 2

四选一数据选择器逻辑符号如图 3. 其输出表达式为

$$F = \sum m_i I_i = \bar{A}_1 \bar{A}_0 I_0 + \bar{A}_1 A_0 I_1 + A_1 \bar{A}_0 I_2 + A_1 A_0 I_3, \quad (i=0 \sim 3)$$

设 $A \rightarrow A_1, B \rightarrow A_0$.

为了使 $Y=Y(A,B,C,D)$ 和四选一数据选择器输出表达式能形成对照,将 $Y=Y(A,B,C,D)$ 中地址信号相同的项合并,有

$$Y = \bar{A} \bar{B} (\bar{C} \bar{D} + CD) + \bar{A} B (\bar{C} D + C \bar{D}) + A \bar{B} (\bar{C} D + C \bar{D}) + AB (\bar{C} \bar{D} + CD)$$

和
有

$$\begin{aligned} F &= \bar{A}_1 \bar{A}_0 I_0 + \bar{A}_1 A_0 I_1 + A_1 \bar{A}_0 I_2 + A_1 A_0 I_3, \\ I_0 = I_3 &= \bar{C} \bar{D} + CD; \\ I_1 = I_2 &= C \bar{D} + \bar{C} D. \end{aligned}$$

对照

显然, I_0, I_1, I_2, I_3 是变量 C, D 的函数,可用 SSI 来设计 $I_i = I_i(C, D) \quad (i=0 \sim 3)$. 同样,也可用 MSI 来设计. 且从电路的一致性,简单性,可靠性来看,沿用四选一数据选择器更优越.

设 $C \rightarrow A'_1, D \rightarrow A'_0$,

$$F' = \bar{A}'_1 \bar{A}'_0 I'_0 + \bar{A}'_1 A'_0 I'_1 + A'_1 \bar{A}'_0 I'_2 + A'_1 A'_0 I'_3,$$

而 $I_0 = I_3 = \bar{C} \bar{D} + CD$.

对照上面两式,有

$$I'_0 = I'_3 = 1; \quad I'_1 = I'_2 = 0; \quad I_0 = I_3 = F'.$$

又设 $C \rightarrow A''_1, D \rightarrow A''_0$.

则将 $I_1 = I_2 = C \bar{D} + \bar{C} D$ 和 $F'' = \sum m_i I'_i$ 对照

有

$$I'_0 = I'_3 = 0; \quad I'_1 = I'_2 = 1; \quad I_1 = I_2 = F''.$$

逻辑图如图 4.

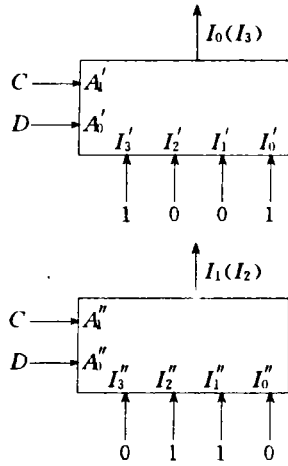


图 4

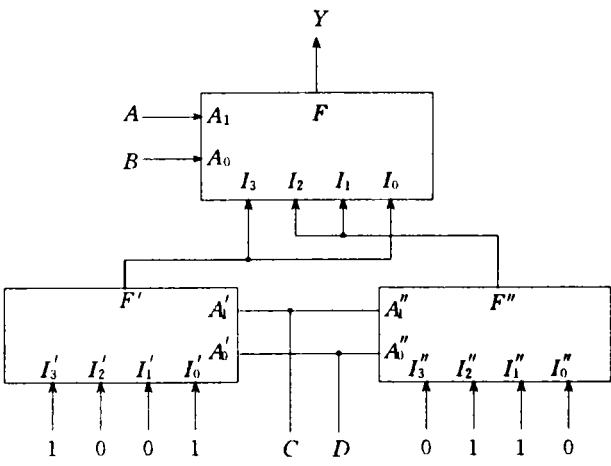


图 5

最后,可得实现 $Y(A,B,C,D) = \sum m(0,3,5,6,9,10,12,15)$ 的逻辑电路图(如图 5).
用双四选一数据选择器来作设计,只需两片芯片,且外部连线少.

2 利用译码器实现组合逻辑电路的设计方法

因为 n 变量完全译码器的每个输出端为一最小项,而任何组合电路都可以表达成若干个最小项之和形式,所以,利用 n 变量完全译码器设计 n 变量多输出组合电路,只要在译码器输出端加上适当数量的或门或者与非门即可.

如果利用 n 变量完全译码器,设计非 n 变量多输出组合电路,该作如何设计?

2.1 利用 n 变量完全译码器设计变量数 $< n$ 的多输出组合电路

当利用 n 变量完全译码器设计变量数 $< n$ 的多输出组合电路时, n 变量译码器的 n 个输入端和欲设计组合电路的变量一一对应后,会出现至少一个多余输入端,此时将多余输入端置常量“0”或“1”,再在输出端作相应设计即可.

例 用 3/8 线译码器实现下列函数

$$\begin{cases} F_1 = AB; \\ F_2 = \bar{A}\bar{B} + AB; \\ F_3 = AB + \bar{A}B. \end{cases}$$

假设选用输出低有效的译码器,其逻辑图如图 6,输出表达式为 $\bar{Y}_0 = \bar{A}_2\bar{A}_1\bar{A}_0, \bar{Y}_1 = \bar{A}_2\bar{A}_1A_0, \bar{Y}_2 = \bar{A}_2A_1\bar{A}_0,$

$$\bar{Y}_3 = \bar{A}_2A_1A_0, \bar{Y}_4 = A_2\bar{A}_1\bar{A}_0,$$

$$\bar{Y}_5 = A_2\bar{A}_1A_0, \bar{Y}_6 = A_2A_1\bar{A}_0, \bar{Y}_7 = A_2A_1A_0.$$

如将 $A \rightarrow A_2, B \rightarrow A_1, A_0$ 为多余输入端.

令 $A_0 \equiv 0$. 则

$$\begin{cases} F_1 = AB = AB \cdot \bar{0} = Y_6 = \bar{Y}_6; \\ F_2 = \bar{A}\bar{B} + AB = \bar{A}\bar{B} \cdot \bar{0} + AB \cdot \bar{0} = Y_0 + Y_4 = \overline{\bar{Y}_0 \cdot \bar{Y}_4}; \\ F_3 = AB + \bar{A}B = AB \cdot \bar{0} + \bar{A}B \cdot \bar{0} = Y_6 + Y_2 = \overline{\bar{Y}_6 \cdot \bar{Y}_2}. \end{cases}$$

其逻辑电路图见图 7(a).

如令 $A_0 \equiv 1$. 则

$$\begin{cases} F_1 = AB \cdot 1 = Y_7 = \bar{Y}_7; \\ F_2 = \bar{A}\bar{B} \cdot 1 + AB \cdot 1 = Y_1 + Y_5 = \overline{\bar{Y}_1 \cdot \bar{Y}_5}; \\ F_3 = AB \cdot 1 + \bar{A}B \cdot 1 = Y_7 + Y_3 = \overline{\bar{Y}_7 \cdot \bar{Y}_3}. \end{cases}$$

其逻辑电路图见图 7(b).

实际上,多余输入端可任意选择,欲设计组合电路的输入变量也可置于译码器的任意输入端,只要在译码器输出端作相应设计即可.

如上例,可选择 A_1 为多余输入端, $A \rightarrow A_0, B \rightarrow A_2$ 等.

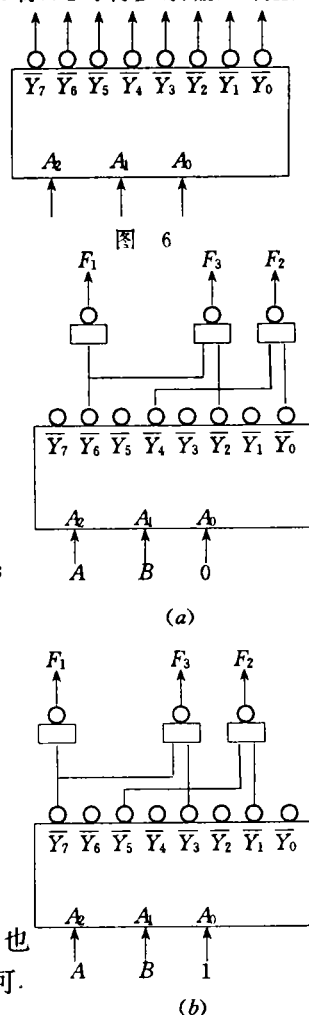


图 7

2.2 利用 n 变量译码器设计变量数 $>n$ 的多输出组合电路

当多输出组合电路的输入变量数 $>n$ 时,欲设计组合电路的变量和译码器的输入端一一对应后,剩下变量如何设计才能在满足设计要求的前提下,电路最简?

例 用 3/8 线译码器实现下列函数

$$\begin{cases} F_1 = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{A}B\bar{C}D; \\ F_2 = \bar{A}BCD + \bar{A}\bar{B}CD + AB\bar{C}D + ABC\bar{D}. \end{cases}$$

F_1, F_2 均为四变量函数,完全最小项包含有 $2^4=16$ 项. MSI 一般都有使能端,设 $S_1, \bar{S}_2, \bar{S}_3$ 为 3/8 线译码器的使能控制端,如图 8. 当 $S_1=1$ 且 $\bar{S}_2=\bar{S}_3=0$ 时,译码器工作. 利用译码器的使能端,可以很方便地进行设计.

对于本例 $F_1=F_1(A,B,C,D)$, $F_2=F_2(A,B,C,D)$ 的设计.

选用两个 3/8 线译码器,共有 16 个输出端.

让 $B \rightarrow A_2$ (1", 2" 芯片)

$C \rightarrow A_1$ (1", 2" 芯片)

$D \rightarrow A_0$ (1", 2" 芯片)

$A \rightarrow S_1$ (1" 芯片), $\bar{S}_2=\bar{S}_3=0$ (1" 芯片)

同时 $A \rightarrow \bar{S}_2$ (2" 芯片), $S_1=1, \bar{S}_3=0$ (2" 芯片)

则最小项 $\bar{A}\bar{B}\bar{C}\bar{D} \sim \bar{A}BCD$ 在 2" 芯片输出, $AB\bar{C}\bar{D} \sim ABCD$ 在 1" 芯片输出.

即 $F_1 = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{A}B\bar{C}D$

$$= \bar{A}(Y_{12} + Y_{22} + Y_{42} + Y_{01});$$

$$F_2 = \bar{A}BCD + \bar{A}\bar{B}CD + AB\bar{C}D + ABC\bar{D}$$

$$= \bar{A} \cdot Y_7 + A(Y_3 + Y_5 + Y_6) = Y_{72} + Y_{31} + Y_{51} + Y_{61}.$$

式中 Y_{ij}, i 表示输出端子号; j 表示芯片号.

在译码器的输出端用与非门将各最小项组合起来,

$$\begin{cases} F_1 = \bar{Y}_{12} \cdot \bar{Y}_{22} \cdot \bar{Y}_{42} \cdot \bar{Y}_{01}; \\ F_2 = \bar{Y}_{72} \cdot \bar{Y}_{31} \cdot \bar{Y}_{51} \cdot \bar{Y}_{61}. \end{cases}$$

逻辑电路图如图 9.

又,如果欲设计多输出组合电路

的变量数比 $n+1$ 还多,这时可以考虑采用多级电路的方案. 如利用 2/4 线译码器来设计

$$\begin{cases} F_1 = F_1(A, B, C, D), \\ F_2 = F_2(A, B, C, D). \end{cases}$$

因为完全最小项为 16 项,所以第一级电路必须用四个 2/4 线译码器. 设 $\bar{S}$ 为 2/4 线译码器的使能端, $\bar{S}=0$ 时,译码器工作.

按图 10 接线.

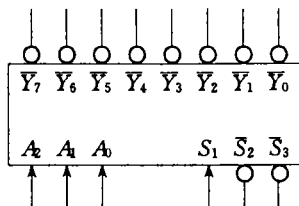


图 8

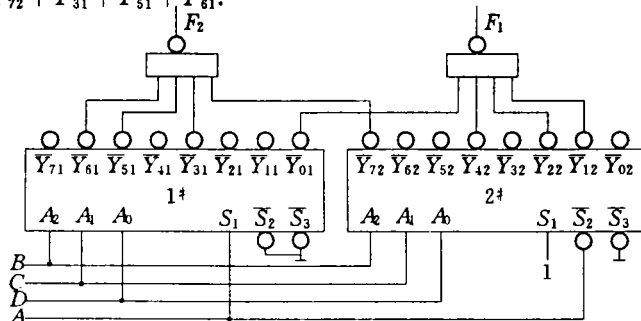


图 9

当 $m_i = 0 \sim 3$ 时, 即 $AB = 00$

时, 1" 芯片输出.

$$\bar{Y}_0 = \bar{m}_0 = \bar{Y}_{01}; \quad \bar{Y}_1 = \bar{m}_1 = \bar{Y}_{11};$$

$$\bar{Y}_2 = \bar{m}_2 = \bar{Y}_{21}; \quad \bar{Y}_3 = \bar{m}_3 = \bar{Y}_{31}.$$

式中 Y_{ij} ; i 为各芯片输出端子号, j 为芯片号.

当 $m_i = 4 \sim 7$ 时, 即 $AB = 01$

时, 2" 芯片输出.

$$\bar{Y}_4 = \bar{m}_4 = \bar{Y}_{02}; \quad \bar{Y}_5 = \bar{m}_5 = \bar{Y}_{12};$$

$$\bar{Y}_6 = \bar{m}_6 = \bar{Y}_{22}; \quad \bar{Y}_7 = \bar{m}_7 = \bar{Y}_{32}.$$

当 $m_i = 8 \sim 11$ 时, 即 $AB =$

10 时, 3" 芯片输出.

$$\bar{Y}_8 = \bar{m}_8 = \bar{Y}_{03}; \quad \bar{Y}_9 = \bar{m}_9 = \bar{Y}_{13};$$

$$\bar{Y}_{10} = \bar{m}_{10} = \bar{Y}_{23}; \quad \bar{Y}_{11} = \bar{m}_{11} = \bar{Y}_{33}.$$

当 $m_i = 12 \sim 15$ 时, 即 $AB = 11$ 时, 4" 芯片输出.

$$\bar{Y}_{12} = \bar{m}_{12} = \bar{Y}_{04}; \quad \bar{Y}_{13} = \bar{m}_{13} = \bar{Y}_{14};$$

$$\bar{Y}_{14} = \bar{m}_{14} = \bar{Y}_{24}; \quad \bar{Y}_{15} = \bar{m}_{15} = \bar{Y}_{34}.$$

式中 Y_{ij} ; i 为各芯片输出端子号, j 为芯片号.

$$\text{对于} \quad \begin{cases} F_1 = \bar{A} \bar{B} \bar{C} D + \bar{A} \bar{B} C \bar{D} + \bar{A} B \bar{C} \bar{D} + \bar{A} B C \bar{D} = m_1 + m_2 + m_8 + m_4; \\ F_2 = \bar{A} B C D + \bar{A} B C \bar{D} + A B \bar{C} D + A B C \bar{D} = m_7 + m_{11} + m_{13} + m_{14}, \end{cases}$$

$$\text{有} \quad \begin{cases} F_1 = \bar{Y}_{11} \cdot \bar{Y}_{21} \cdot \bar{Y}_{02} \cdot \bar{Y}_{03}; \\ F_2 = \bar{Y}_{32} \cdot \bar{Y}_{33} \cdot \bar{Y}_{14} \cdot \bar{Y}_{24}. \end{cases} \quad (\text{见图 10})$$

数字及计算机系统现有中规模集成电路品种繁多, 除其本身具备的功能外, 还可以利用它们来设计我们所需要的电路. 具体设计方法需将设计要求和所选用的 MSI 特性相结合, 才能设计出既简单又符合要求的电路.

参 考 文 献

- 1 阎石. 数字电子技术基础: 第 3 版. 北京: 高教出版社, 1989

A Design with Mid - scale Integrated Circuit to Realize Combined Logical Circuit

Pei Yanan

(Department of Electrical Engineering)

Abstract

The paper related on the design with MSI (especially with data selector and decoder) to realize combined logical circuit and had a discussion on several cases.

Key words Combined logical circuit; Design; Mid - scale integrated circuit

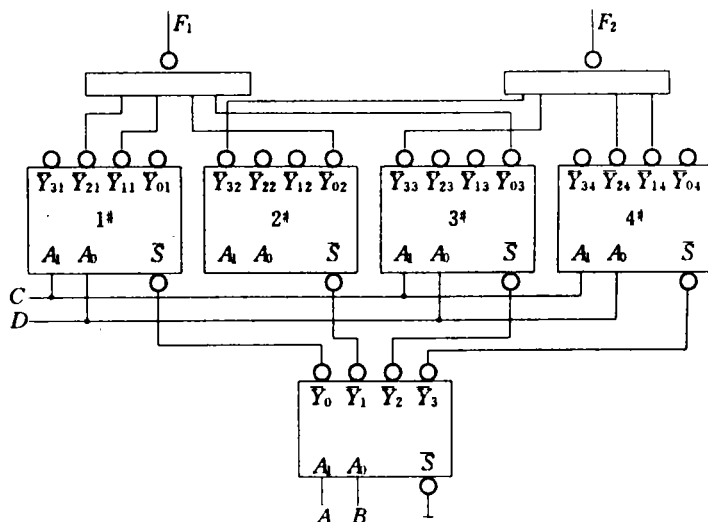


图 10