

文章编号: 1005—0523(2005)02—0060—03

基于 FPGA 设计 8—PSK 调制

朱 路

(华东交通大学 信息工程学院, 江西 南昌 330013)

摘要:介绍 DDS 原理, 用 VHDL 语言描述, 以 FPGA 作为硬件载体直接实现 8—PSK 调制, 从而解决了传统方法实现 8—PSK 调制的相位模糊问题, 提高了调制的相位精度.

关 键 词:直接数字频率合成; 8 进制相移键控; 现场可编程门阵列

中图分类号: TN91

文献标识码: A

0 概 述

8—PSK 是多进制相移键控, 在数字通信和移动通信领域都有着广泛应用的调制技术, 有较高的传信率; 在相同的传信率下, 比一般的调制方法更能减小由于信道特性引起的码间干扰的影响, 但其调制精度一直被传统方法制约. 直接数字频率合成器(DDS), 是一种全数字、从相位概念出发直接合成所需波形的一种新的频率合成技术, 具有较高的频率分辨率, 可以实现快速的频率切换, 并且在改变时能够保持相位连续, 很容易实现频率、相位和幅度的控制. FPGA(Field Programmable Gate Array)现场可编程门阵列, 采用硬件技术处理信号, 又可以通过软件配置, 能够兼顾速度和灵活性, 并能并行处理多路信号, 实时性能能够预测和仿真. 基于以上情况本文提出了基于 FPGA 设计 8—PSK.

1 系统工作原理

1.1 8—PSK 工作原理^[1]

在多进制相移键控中, 载波相位取 M 个可能值中的一个, 即 $\theta_i = 2(i-1)\pi/M$, 调制后的波形表达

式如下:

$$S_i(t) = \sqrt{\frac{2E_s}{T_s}} \cos[2\pi f_c t + \frac{2\pi}{M}(i-1)] \quad 0 \leq t \leq T_s \quad i=1, 2, 3, \dots, M \quad (式 1.1-1)$$

式中: $E_s = (1bM) E_b$ 为符号位的能值, $T_s = (1bM) T_b$ 为时隙周期.

上面的表达式可以用正交象限形式重写如下:

$$S_i(t) = \sqrt{\frac{2E_s}{T_s}} \cos[(i-1)\frac{2\pi}{M}] \cos(2\pi f_c t) - \sqrt{\frac{2E_s}{T_s}} \sin[(i-1)\frac{2\pi}{M}] \sin(2\pi f_c t) \quad (式 1.1-2)$$

通过选择基带信号 $\Phi_1(t) = \sqrt{\frac{2}{T_s}} \cos(2\pi f_c t)$ 和

$\Phi_2(t) = \sqrt{\frac{2}{T_s}} \sin(2\pi f_c t)$, MPSK 信号可表达如下:

$$S_{MPSK}(t) = \left\{ \sqrt{E_s} \cos[(i-1)\frac{2\pi}{M}] \Phi_1(t) - \sqrt{E_s} \sin[(i-1)\frac{2\pi}{M}] \Phi_2(t) \right\} \quad (式 1.1-3)$$

8—PSK 可用上述表达式描述, 其中 $M=8$, 本文介绍基于 DDS 原理直接实现 8—PSK 调制.

1.2 DDS 结构及原理

一个基本的直接数字式合成器包括: 相位累加器、相位调制器和正弦 ROM 查找表三部分.

收稿日期: 2004—09—10

作者简介: 朱路(1976—), 男, 江西永新人, 讲师.

相位累加器完成相位累加功能,产生正弦或余弦载波;相位调制器接收相位累加器的相位输出实现相位调制;ROM 查找表固化与相位一一对应的幅值,只要在存储器的输出端加上一个 D/A 转换器完成数模转换,可直接获得所需的调制信号。

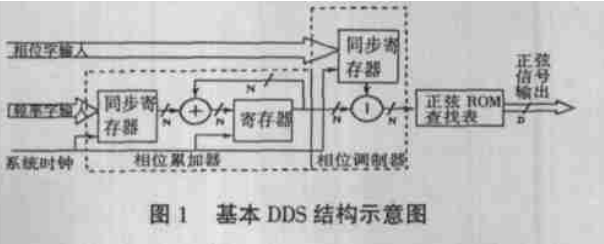


图 1 基本 DDS 结构示意图

2 系统实施的关键技术

系统主要包括频率字输入模块、累加器模块、8-PSK 相位调制部分模块和正弦 ROM 查找表模块、串/并变换模块这五部分,下面侧重介绍相位累加器和相位调制器的设计。

2.1 相位累加器设计

相位累加器以频率字作为输入,在每一输入时钟的上升沿到来时,将输入的频率字与累加器中的值相加,输出作为相位累加器的输入;当累加值溢出时(大于正弦 ROM 查找表地址的最大值),则减去模值加一再送出。

相位累加器模块的外部端口设计应包含:频率字输入端(fword __out, 设置为八位)、时钟输入端(clk1, 一位)和相位累加输出端口(addr 设置为八位)。用 VHDL 描述的关键代码如下:

```
entity adder is
    port (clk1: in std__logic__vector(7 downto 0);
          fword__out: in std__logic__vector(7 downto 0);
          addr: buffer std__logic__vector(7 downto 0));
end adder;

architecture art of adder is
    signal t: std__logic__vector(7 downto 0);
begin
    process(clk1)
    begin
        if (clk1'event and clk1 = '1') then t <= adder + fword__out;
        if (t > "01100011") then adder <= t - "01100100"; else adder <= t;
        end if; end if; end process; end art;
```

当输入时钟 clk1 的上升沿到来时,将输入的频

率字 fword __out 与保存在累加器中的值 adder 相加,给定义为信号的中间变量 t,若 t 不大于正弦 ROM 查找表地址的最大值"01100011",则送出给 adder;若大于,则减去最大值("01100100")加一后送出。

进行波形仿真测试,设定好输入 clk1、fword __out,仿真得到的输出 addr 的数据如下:



图 2 相位累加器模块的仿真图

当输入 fword __out 时,在输入时钟 clk1 的上升沿到来时与 adder 中的值相加,并送入 adder,完成累加功能,同时实现了溢出处理。

2.2 相位调制器设计

相位累加器输出作为相位调制器输入,码元 code 为 000~111 与调制相位 0~7 $\pi/4$ 一一对应;码元按照格雷码进行编码,这样很容易实现 8-PSK 相位调制。相位调制器的端口设计包含:三路并行基带信号输入口(code, 三位)、载波相位输入(ad0, 一位)、参考时钟输入(clk1, 一位)和调制后的相位输出(addr, 八位)。用 VHDL 描述的关键代码如下:

```
entity mode is
    port (code: in std__logic__vector(2 downto 0);
          clk1: in std__logic;
          ad0: in std__logic__vector(7 downto 0);
          addr: out std__logic__vector(7 downto 0));
end mode;

architecture art of mode is
begin
    process(clk1)
    begin
        if (clk1'event and clk1 = '1') then
            case code is
                when "000" => addr <= ad0; when "001" => addr <= ad0 + "00001101";
                when "011" => addr <= ad0 + "00011001"; when "010" => addr <= ad0 + "00100110";
                when "110" => addr <= ad0 + "00110010"; when "111" => addr <= ad0 + "00111111";
                when "101" => addr <= ad0 + "01001011"; when "100" => addr <= ad0 + "01011000";
                when others => null; end case; end if; end process;
```

end art;

当 code 为“000”时,直接将 ad0 送给 addr 输出;而其他依次加上相位的增量再送入 addr 输出,由于对一个正弦波抽样一百个点,所以 $\pi/4$ 、 $2\pi/4$ 、 $3\pi/4$ 、 $4\pi/4$ 、 $5\pi/4$ 、 $6\pi/4$ 、 $7\pi/4$ 分别对应的是 100/8、200/8、300/8、400/8、500/8、600/8、700/8, 即 13 (“00001101”), 25 (“00011001”), 38 (“00100110”), 50 (“00110010”), 63 (“00111111”), 75 (“01001011”), 88 (“01011000”). 这些数据都是四舍五入而得到的. 如简

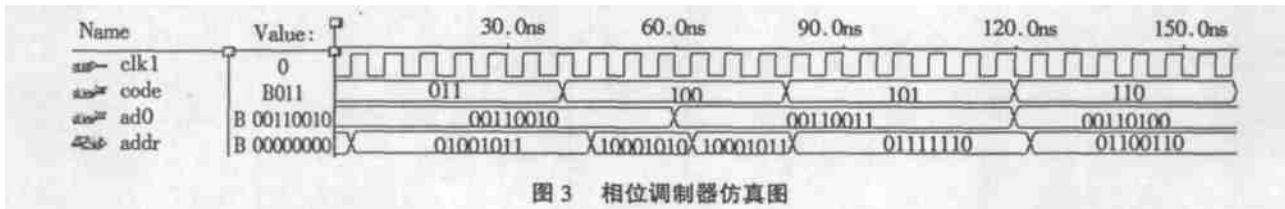


图 3 相位调制器仿真图

在输入时钟 clk1 的上升沿到来时,按照输入的 code[2..0]的值,将对应的相位增量加到 ad0[7..0]上,送入 addr[7..0]输出,由仿真结果可以看出此模块能实现了 8-PSK 相位调制功能.

3 基于 FPGA 的 8-PSK 调制的具体实现

以 MAX+plus II 为开发环境,用 VHDL 语言编

单把相位增量加上去,很有可能引起溢出超出正弦 ROM 查找表地址的最大值,如当输入的 ad0 为“01011000”(88)时,若我们再加上“01011000”,就肯定会溢出了.为了解决这个问题,采用了牺牲 ROM 容量的办法,即在一百个点的存储空间后面再将一百个抽样点的前八十八点存储起来,这样就避免了溢出.

程,完成频率字输入模块、累加器模块、MPSK 调制部分模块和正弦 ROM 查找表模块、串/并变换模块这五部分的设计,并对设计好的各个模块进行时序仿真、测试,再将各个模块相互连接;分配、设置好管脚后对文件编译,生成 .sof 文件,将其下载到硬件载体 FPGA 中,基于 DDS 的 8-PSK 调制系统设计完成.

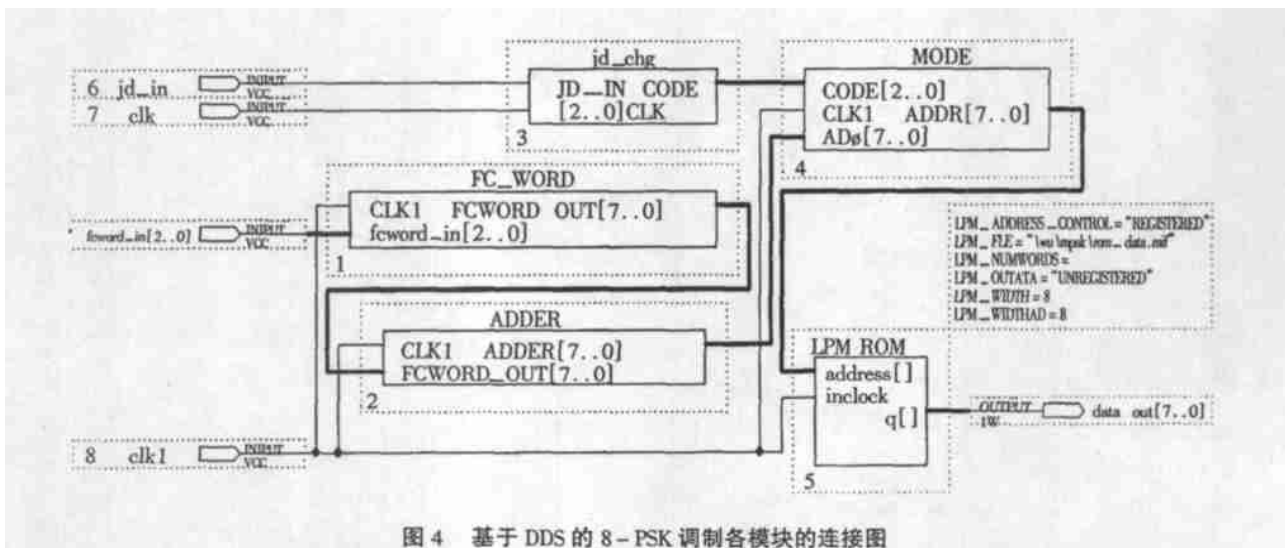


图 4 基于 DDS 的 8-PSK 调制各模块的连接图

4 结束语

基于 FPGA 实现 8-PSK 解决了传统方法相位模糊问题,利用格雷码排列码元具有工程意义;在此设计的基础上稍加修改便可实现更复杂的调制方式.

参考文献:

- [1] 董在望. 通信电路原理[M]. 北京:高等教育出版社, 2002.
- [2] 徐志军, 徐光辉. CPLD/FPGA 的开发与应用[M]. 北京:电子工业出版社, 2002.
- [3] 潘松, 黄继业. EDA 技术实用教程[M]. 北京:科学出版社, 2002.
- [4] 潘松, 王国栋. 基于 EDA 技术的 CPLD/FPGA 应用前景[J/OL]. 中国学术期刊数据库 <http://202.101.209.250/jx/default.asp> (下转第 85 页)

Modeling and Simulation of the Cell Series Multi-level High Voltage Frequency Convertor

ZHANG Yong-gao

(School of Electric and Electronical Engineering, East China Jiaotong University, Nanchang 330013, China)

Abstract: This paper introduces the basic principle of cell series multi-level high voltage frequency convertor, recommends the process of simulating and model constructing for multi-level convertor, discusses the setting of the parameter for my-pulse block, one-unit block, single-phase block and three-phase converter system. It has great value for the development and research of novel power electric devices. The results of simulation show that the cell series multi-level convertor has great advantage on eliminating harmony. It is helpful to nationalization of high voltage convertor.

Key words: cell series multi-level; high voltage frequency convertor; simulation; model constructing

(上接第 62 页)

Design 8-PSK to Modulate Based on FPGA

ZHU Lu

(School of Information Engineering, East China Jiaotong University, Nanchang 330013, China)

Abstract: This paper introduces DDS principle and describes VHDL based on FPGA method to realize directly 8-PSK modulator; The method solves the phase fuzzy problem of 8-PSK modulation of the traditional method and improves the phase modulation precision.

Key words: DDS; MPSK; FPGA