

文章编号:1005-0523(2018)03-0043-06

# Zynq 上实现地铁杂散电流的多分辨率采集系统

夏孟显, 陈剑云

(华东交通大学电气与自动化学院, 江西 南昌 330013)

**摘要:** 由于地铁杂散电流信号的微弱性、间断性等特征的存在,使其治理一直是个难题。分析和研究杂散电流信号的各种特征,需要采集大量的杂散电流数据,而在常规的杂散电流信号采集系统中,存在采样率低、传输速率慢、功能单一等现象。为了实现在低分辨率下有效地监测杂散电流信号,而在高分辨率下对杂散电流信号的特征进行分析,基于 Zynq 中现场可编程门阵列(field programmable gate array, FPGA)部分设计了一套片上地铁杂散电流信号的多分辨率采集系统。利用 FPGA 部分的模数转换硬核进行前端信号采集,并设计多通道数据分流知识产权(intellectual property, IP)核、单通道数据流协议转换 IP 核分别实现多路信号的标定与数据协议转换功能,最后通过数据广播 IP 核和抽取滤波器组 IP 核实现多分辨率信号采集。实现结果表明,在 Zynq 上实现的地铁杂散电流信号采集系统,能实现信号的多分辨率采集及监测;且同时能解决数据的高速传输问题。

**关键词:** 杂散电流;多分辨率采集;全可编程芯片

**中图分类号:** U224

**文献标志码:** A

在实际工程中,现有的杂散电流监测方案,大多是根据《CJJ49-92 地铁杂散电流腐蚀防护技术规程》来设计的,监测方案中采集系统存在采样率低、传输速率慢、功能单一等现象。在高性能杂散电流监测系统的研制过程中,需要采集大量的杂散电流数据,为信息提取和处理提供依据;从而才能寻找出更合适的监测方案,并可通过大数据分析完成杂散电流腐蚀趋势预测。在大多数杂散电流监测系统中,虽然可以满足现场信号的实时监测,但不能为进一步杂散电流信号特征分析提供很好的依据,杂散电流信号的多分辨率采集系统的研制存在极大的意义<sup>[1-7]</sup>。

随着全可编程技术的发展,Zynq 被广泛应用到了嵌入式系统中,且片上系统减少了外部布线,易实现电磁屏蔽。Zynq 的 FPGA 部分含有 17 路通道的 12 bit 模数转换器(xilinx analog-to-digital converter, XADC)硬核,最高采样率达 1 MHz,且数据流能够使用高级可扩展接口(advanced extensible interface, AXI)4.0 版本中 AXI4-Stream 协议在 IP 之间进行通信;但是所有通道的数据都是通过一个 AXI4-Stream 接口串行输出;且 XADC 的 AXI4-Stream 接口中没有 TLAST 信号,后续无法进行包传输。因此,需要设计多通道数据分流 IP 将所有通道的数据标定出来;同时设计单通道数据流协议转换 IP 将 XADC 的 Stream 接口进行转换,以便后续通过直接寄存器 IP 传输数据等处理。本文基于 Zynq-7020 的 FPGA 部分来设计杂散电流信号的多分辨率采集系统,一方面采用低分辨率数据流实现对现场数据的实时监测,另一方面使用高分辨率数据流作为进一步分析信号特征的信号源<sup>[8]</sup>。

收稿日期:2018-01-29

基金项目:国家自然科学基金项目(51467004)

作者简介:夏孟显(1990—),男,硕士研究生,研究方向为嵌入式系统设计及数字信号处理。

通讯作者:陈剑云(1962—),男,教授,博士生导师,研究方向为电力系统监控及自动化、远动技术。

## 1 杂散电流信号的多分辨率采集系统的实现

如图 1 所示,在 Zynq-7020 上实现的杂散电流信号的多分辨率采集系统,其主要由 4 部分组成,XADC 的前端信号采集、多通道数据分流 IP、单通道数据协议转换 IP、数据广播 IP、抽取滤波器组 IP 等。其中杂散电流信号流最多可采集 17 路,1 路专有采集通道,16 路辅助采集通道;通过多通路数据分流 IP 可以进行通道号标定;最后使用标定后的数据流进行单通道数据流协议转换,同时使用数据广播 IP 复制数据支路,并采用不同阶数的抽取滤波器进行处理,从而完成杂散电流信号的多分辨率采集系统设计,获取低采样率和高采样率两路数据流,且实现了片上数据采集、处理、传输等操作,为低噪声采集系统提供了保障<sup>[8-13]</sup>。

### 1.1 XADC 的前端信号采集

Zynq-7020 的 FPGA 部分内嵌了一个 12 bit XADC 硬核,其专有通道 VPVN 和其他 16 路辅助通道采样率最高可达 1 MHz。本文使用 1 路专有通道 VPVN 和 AD1,AD5,AD6,AD9,AD13,AD15 等 6 路辅助通道进行杂散电流信号采集,且所有通道都采用单极性双端口输入,既避免了复杂的差分接线,又对共模信号具有抑制能力;同时 XADC 数据通过 AXI4-Stream 接口输出。由图 1 所示,多路杂散电流信号流经 XADC 采集后,经过同一个 AXI4-Stream 通道输出,形成了多通道数据混合流<sup>[8]</sup>。

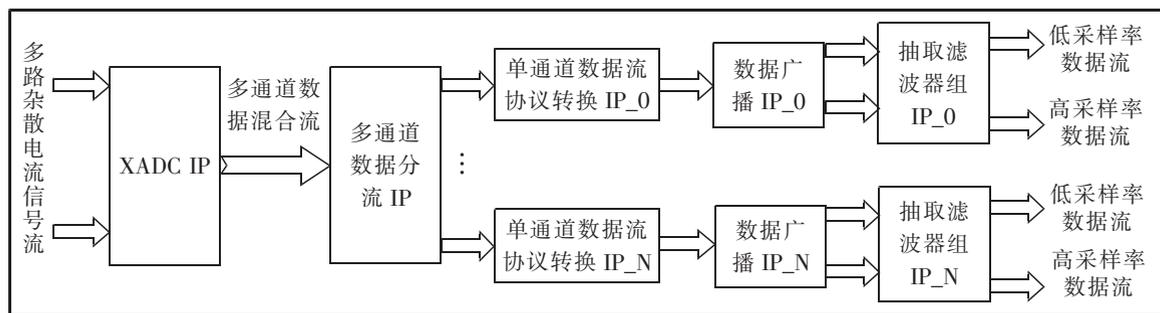


图 1 杂散电流信号的多分辨率采集系统框架

Fig.1 Framework of multi-resolution acquisition system for stray current signal

根据 XADC IP 的 AXI4-Stream 接特征,易知 TID 信号可以用来标定通道号。通过 Vivado 仿真得到,TID 信号与通道号之间的关系;VPVN,AD1,AD5,AD6,AD9,AD13,AD15 通道对应的 TID 大小分别为 3,17,21,22,25,29,31<sup>[12]</sup>。

### 1.2 多通道数据分流 IP 的设计

通过 TID 数值的大小来标定杂散电流数据的通道号,同时为了减少开发周期,本文基于 Vivado HLS 工具采用 C++来设计多通道数据分流 IP。如图 2 所示,多通道数据分流 IP 先通过自定义 AXI4-Stream 接口类型实现输入输出接口定义;且对临时 TID 与 TDATA 变量进行展开赋值,避免 TID 信号与 TDATA 数据不同步,造成通道号绑定错位;最后比较 TID 信号值与对应通道号值是否相等,若相等则将输入接口中的数据信号赋给相应输出接口中的数据信号<sup>[8-11]</sup>。

### 1.3 单通道数据流协议转换 IP 的设计

由于 XADC 的 AXI4-Stream 接口中没有 TLAST 信号,后续无法进行包数据传输,因此需要设计单通道数据流协议转换 IP 来添加 TLAST 信号。同样为了缩短开发周期,使用 Vivado HLS 工具采用 C++来设计单通道数据流协议转换 IP。如图 3 所示,单通道数据流协议转换 IP 先自定义 AXI4-Stream 接口类型实现输入输出接口定义;并定义包数据长度变量 packetLen 为静态类型,赋初值 64,可根据需要指定;且对输出接口数据信号赋值与包数据长度变量更新操作进行展开处理,避免赋值操作不同步;最后通过判断包数据长度变量是否为 0,来给输出接口中的 TLAST 信号进行赋值<sup>[8-14]</sup>。

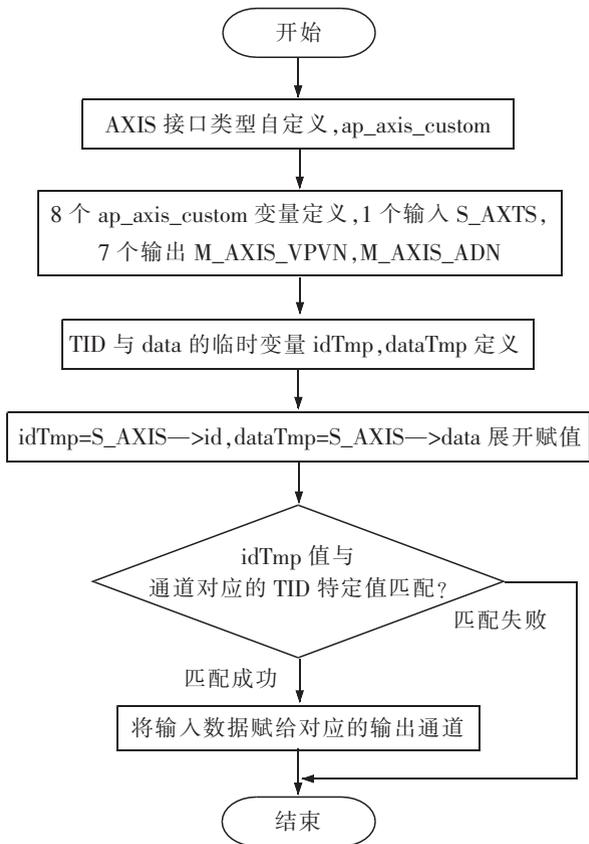


图 2 多通道数据分流 IP 设计的算法流程图

Fig.2 Flow chart of algorithm about multi-channel data distribution IP

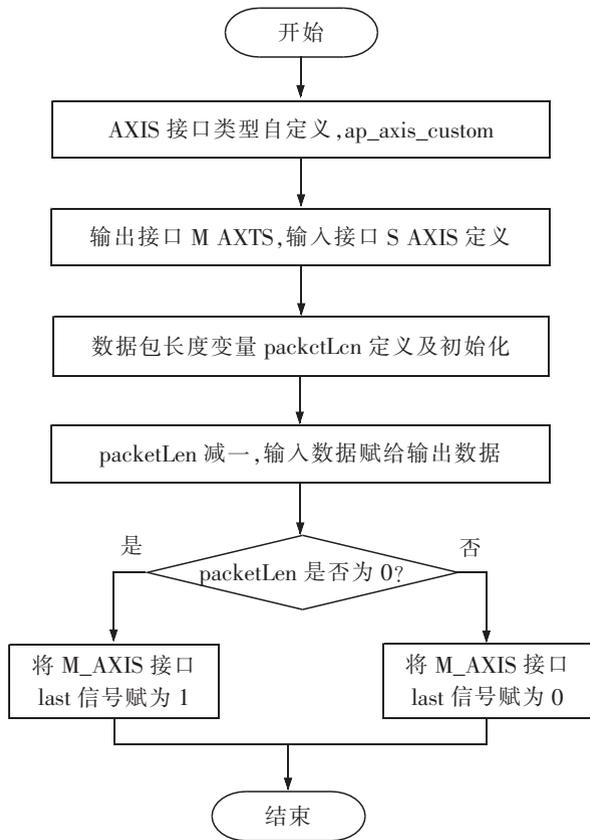


图 3 单数据流协议转换 IP 算法流程图

Fig.3 Flow chart of algorithm about single-stream protocol conversion IP

### 1.4 数据广播 IP 的实现

单通道数据协议转换 IP 后的每一路数据流无法直接进行多分辨率采样, 需要将数据复制成两个完全相同的支路供后续处理。数据复制采用 Xilinx 提供的 axis\_broadcaster IP 实现, 可以配置复制后支路的数量。

### 1.5 抽取滤波器组 IP 的实现

多路杂散电流信号流经 XADC IP、多通道数据分流 IP、单通道数据流协议转换 IP、数据广播 IP 处理后, 可以得到独立的每一路杂散电流信号。为了实现对杂散电流信号多分辨率采集, 需对独立的每一路杂散电流信号采用不同的抽取滤波器进行处理; 从而完成低分辨率下有效地监测杂散电流信号, 而在高分辨率下对杂散电流信号的特征进行分析。抽取滤波器采用 Xilinx 提供的 FIR Compiler IP 配置实现, 使用不同的系数文件可以实现不同抽取系数的滤波器。具体配置过程如下:

- 1) 当需要在抽取时, 同时进行高频滤波、低频滤波处理可选择对应的滤波器系数文件;
- 2) 滤波器类型选择 Decimation 及抽取率设置;
- 3) 输入信号采样率及时钟频率设置;
- 4) TLAST 信号设置;
- 5) 其他项保持默认值即可。

## 2 杂散电流信号的多分辨率采集系统的测试

### 2.1 测试平台的搭建

图 4 为杂散电流信号的多分辨率采集系统的测试平台, 本文为了测试系统的简洁性与可操作性, 采用信号发生器模拟杂散电流信号源给 VPVN 通道注入激励, 其他通道不作处理。模拟杂散电流信号经多分辨

率采集系统处理后, 分别由 AXI DMA IP 通过 AXI4 HP 总线直接将数据传送给 Zynq-7020 的 ARM 部分 DDR,其中 AXI DMA IP 是由 Xilinx 提供的<sup>[8-16]</sup>,具体配置过程如下:

- 1) 勾选 Enable Scatter Gather Engine 选项;
- 2) 取消 Enable Control/Status Stream 选项;
- 3) 取消 Enable Read Channel 选项;
- 4) 设置写通道中最大突发传输大小为 16;
- 5) 勾选 Allow Unaligned Transfers 选项;
- 6) 其他选项保持默认值。

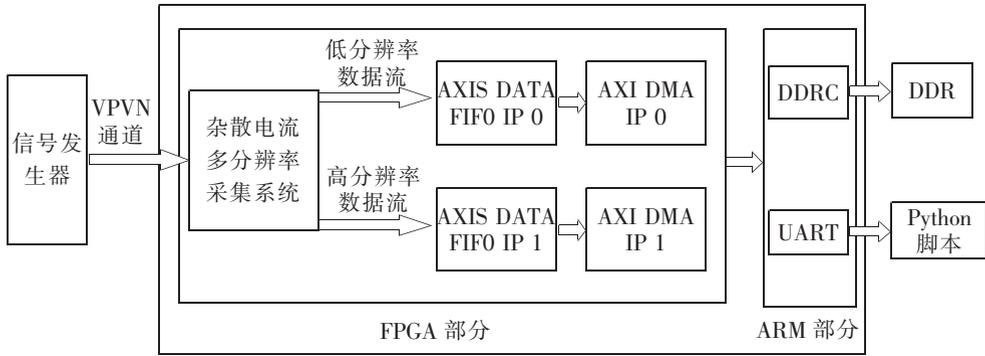


图 4 杂散电流信号的多分辨率采集系统的测试平台

Fig.4 Test platform of multi-resolution acquisition system of stray current signal

测试系统的硬件和软件都是通过 Xilinx 提供的开发套件来搭建的;首先利用 Vivado 搭建硬件测试系统, 最后综合实现后生成比特流(bit-stream) 文件, 并导出 hdf 文件;接着由 Vivado SDK 搭建软件测试工程。软件测试系统的流程如图 5 所示, 首先对两路直接存储器访问(Direct Memory Access, DMA) 的接收地址及描述符数组地址进行设置, 并初始化两路 DMA 完成例化操作;再对两路 DMA 工作状态进行配置,包括描述数组的分配、大小设置等,其中包数据的长度与单通道数据协议转换 IP 中的静态变量需要保持一致;接着设置中断系统,启动两路 DMA 的接收中断机制,数据传输完毕后将会在中断处理函数中设置标志变量;最后通过标志变量来判断数据是否传输完毕,同时数据传输完毕后,通过串口将数据输出给 Python 脚本进行图形化显示<sup>[14-16]</sup>。

### 2.2 实验结果及其分析

由上述可知 VPVN、AD1 通路杂散电流信号的原始采样率为 1 MHz,并采用单极性双端口输入。实际地铁杂散电流信号为直流信号,为了便于观察实验结果, 假设杂散电流 VPVN、AD1 为正弦信号;模拟信号源由 Discovery2 产生,数据

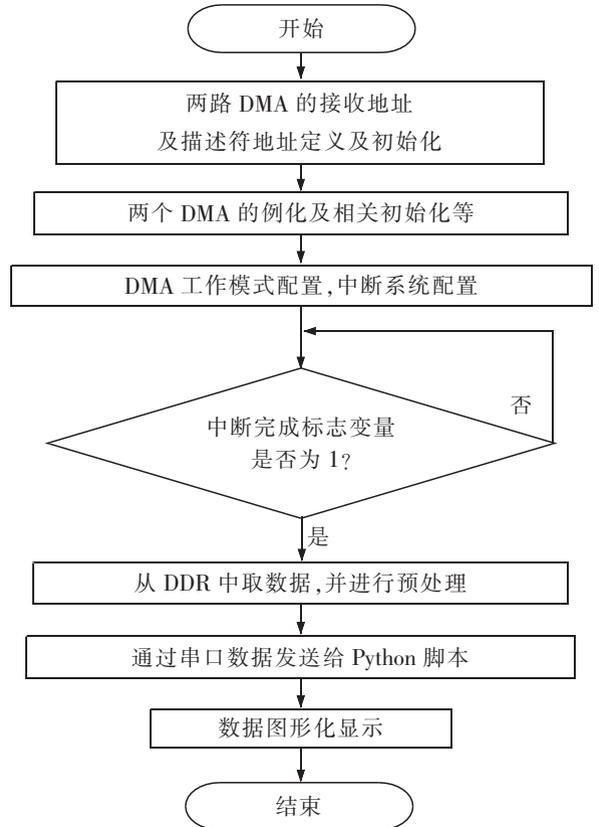


图 5 测试系统的软件流程图

Fig.5 Software flow chart of test system

经过多分辨采集系统处理后,再由 DMA 将数据直接搬运到 ARM 部分的内存中,接着应用程序直接从内存中取数据,并通过串口将数据发送给 python 脚本,最后 python 脚本将数据图形化显示出来。

假定抽取率为 100 和 50,可得实际采样率为 10 kHz 和 20 kHz;通过设置杂散电流信号的频率,来验证多分辨采集系统的功能。多分辨率采集系统测试结果如图 6 所示,(a)图中杂散电流信号频率为 2 kHz 抽取率为 100,(b)图 1 kHz 抽取率为 50;因此一个周期内(a),(b)图分别存在 5,20 个采样点。可以发现,多分辨率采集系统能对不同频率信号进行抽取滤波。

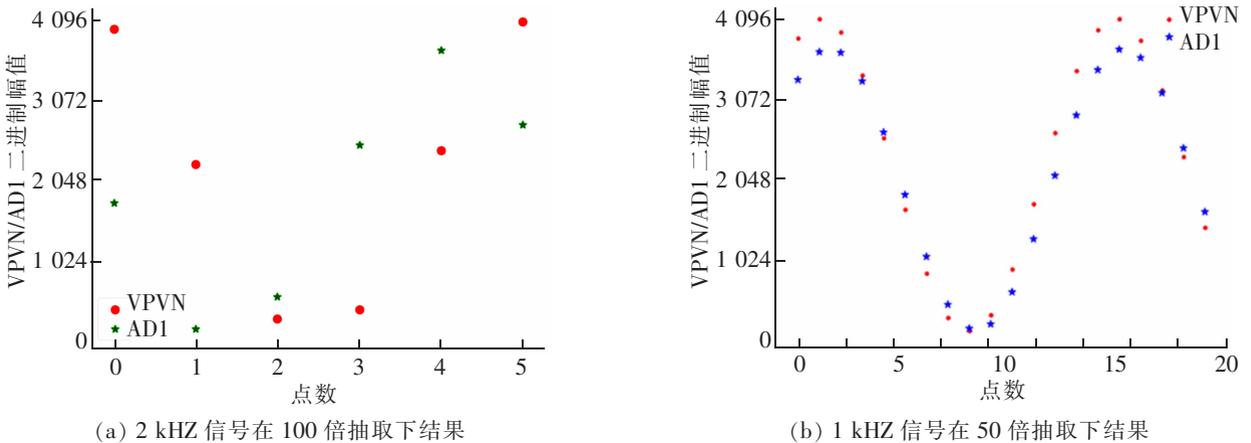


图 6 抽取率为 100 时,不同信号的采样结果

Fig.6 Sampling results of different signals when decimation rate is 100

#### 4 结束语

本文利用Xilinx提供的Vivado开发套件在Zynq-7020的FPGA部分设计了一套杂散电流信号多分辨率采集系统,并进行了测试实验。在测试实验过程中验证了杂散电流信号多分辨率采集系统可以实现多路数据采集、多通道数据混合流分解、数据协议转换,并可以根据设置不同的抽取率值来实现对信号的不同分辨率采样。通过分析测试结果得,基于Zynq的杂散电流信号多分辨率采集系统能够在低分辨率下有效地监测杂散电流信号,而在高分辨率下对杂散电流信号的特征进行分析。在设计杂散电流监测系统时使用Zynq中FPGA部分完成数据的高速采集、传输和预处理,可以有效地加速系统的处理性能。

#### 参考文献:

- [1] 北京市地下铁道科学技术研究所. 地铁杂散电流腐蚀防护技术规程(CJJ49-92)[S]. 北京:中国计划出版社,1992.
- [2] 中国国家标准化管理委员会. GB/T 28026.2-2011 轨道交通地面装置[S]. 北京:北京中国标准出版社,2011.
- [3] 李威. 地铁杂散电流腐蚀监测及防护技术[M]. 北京:中国矿业大学出版社,2004.
- [4] 韩东钊. 地铁杂散电流监测系统研制[D]. 重庆:西南交通大学,2016.
- [5] 钟乾,解东来. 轨道交通杂散电流分布数学模型的研究进展[J]. 煤气与热力,2015,35(9):39-42.
- [6] 江丽,徐路平. 分布式杂散电流监测防护系统设计[J]. 电子测试,2017(5):29-31.
- [7] TANG K. Stray current induced corrosion of steel fibre reinforced concrete[J]. Cement and Concrete Research,2017,100:445-456.
- [8] 黄妹. 基于Zynq-7000内置XADC的数据采集系统设计[D]. 南京:南京邮电大学.

- [9] 张美迪,马胜,雷元武. 基于 AXI 协议的 DMA 接口的设计与验证[C]//中国计算机学会,第二十一届计算机工程与工艺年会暨第七届微处理器技术论坛论文集,2017:10.
- [10] 王媛,韩琼磊,高原. 一种高速多通道 DMA 控制器设计[J]. 中国集成电路,2016,25(6):47-50.
- [11] CROCKETT L H, ELLIOT R A, ENDERWITZ M A, et al. The Zynq Book[M]. Glasgow: Strathclyde Academic Media, 2016.
- [12] 吴汶泰,詹璨铭. 基于 Zynq 的 AXI 总线数据传输软件优化[J]. 通信技术,2017,50(7):1576-1580.
- [13] 曹阳. 基于 FPGA 实现的数据高速传输与存储的研究[D]. 南京:东南大学,2016.
- [14] QIAN W, MEI J. Design of video acquisition identification system based on Zynq-7000 Soc Platform[C]//2013 International Conference on Information Science and Computer Applications (ISCA 2013), Atlantis Press, 2013:208-213.
- [15] SILVA J, SKLYAROV V, SKLIAROVA I. Comparison of on-chip communications in ① Zynq-7000 all programmable systems-on-chip[J]. IEEE Embedded Systems Letters, 2015, 7(1):31-34.
- [16] DOBAI R, SEKANINA L. Towards evolvable systems based on the Xilinx Zynq platform[C]//Evolvable Systems (ICES), 2013 IEEE International Conference on IEEE, 2013:89-95.

## Design of Multi-resolution Acquisition System for Subway Stray Current Based on Zynq

Xia Mengxian, Chen Jianyun

(School of Electrical and Automation Engineering, East China Jiaotong University, Nanchang 330013, China)

**Abstract:** The subway stray current has always been a problem due to the weak and intermittent characteristics. Analyzing and studying various characteristics of stray current signals requires a large number of stray current data. However, there is a phenomenon in the conventional stray current signal acquisition system, which features low sampling rate, slow transmission rate and simple function. This paper proposes that using FPGA part of Zynq can develop a set of multi-resolution acquisition system, which can monitor the stray current signal at low resolution and analyze the characteristics of the signal at high resolution. The front-end acquisition was carried out by XADC IP. Then, by using Multi-channels PreProcess IP and Single-channel PreProcess IP, this paper completed the function of multi-channel signals calibration and data protocol conversion. Finally, by employing a group decimation IP, it sorted out the multi-resolution acquisition. The research results show that the multi-resolution acquisition system on Zynq not only provides a data source for further analysis about the characteristics of stray current signal, but also can effectively monitor the signal in real time. At the same time, Zynq is helpful to solve the high-speed real-time data transmission and storage problems.

**Key words:** stray current; multi-resolution; all programmable chip