

文章编号: 1005-0523(2018)04-0112-05

基于 Xilinx IP 核的任意信号发生器的设计

周欢, 陈剑云, 钟汉华

(华东交通大学电气与自动化工程学院, 江西 南昌 330013)

摘要: 基于 Xilinx IP 核设计一个任意信号发生器, 可以生成任意频率、幅值和相位的正余弦、三角波、方波、锯齿波等信号, 在工程设计中可以方便的用于仿真模拟设计。首先对 DDS IP 核进行配置设计, 添加乘法器 IP 核产生不同幅值的正余弦波形, 添加多个 DDS IP 核设置不同的频率控制字和相位宽度以及初始相位产生不同频率和相位的正余弦信号, 但是 DDS IP 核只能通过正余弦信号采样查找表生成正余弦信号, 可以添加 ROM IP 核导入不同信号的数据, 通过改变频率控制字控制寻址地址以及设置 ROM 地址的初始值从而实现任意信号幅值、频率、相位的信号发生器的设计。仿真结果显示可以输出不同频率、相位的正余弦波、三角波、方波、锯齿波等信号。该方法整体设计方案可行, 易于调整, 可以达到预期结果, 在工程上有一定的应用价值。

关键词: Xilinx IP 核; DDS IP 核; 任意信号发生器; 乘法器 IP 核

中图分类号: TP274

文献标志码: A

作为工程中一个非常重要、常用的调试工具, 信号发生器在诸多领域应用都非常广泛, 目前很多的信号发生器都是要通过外接电路进行接入, 不便于在仿真验证过程中进行^[1]。在 ZYNQ 平台上实现功能强大、资源消耗少的任意信号发生器的设计, 该信号发生器可以灵活的产生任意不同频率、幅值、相位的信号, 系统设计成本低, 在工程设计中具有很好的应用价值。

1 DDS 原理和设计思路

1.1 DDS 设计原理

DDS 信号发生器主要由相位累加器、相位寄存器、查找表、以及 DA 转换器构成, DDS 结构原理图如图 1 所示, 相位累加器改变查找表寻址的时钟频率可以改变输出波形的频率, 但是 DDS 采用的是改变寻址的步长, 即是对数字波形查表的相位增量, 首先将值进行累加, 把累加器的值存储作为寻址寄存器的值。相位控制字查找表查询地址的初始值, 用来控制波形的初始相位。而频率控制字直接控制相位累加器每次输出的结果来控制信号的输出频率。数字积分器可以计算相位的斜度, 通过查找表映射为相应的波形, 量化器的输入是高精度的相位 $\theta(n)$, 输出是量化后精度降低的相位 $\Theta(n)$, 该信号出现在查找表的地址端口, 实现从相位空间到时间的映射^[2]。

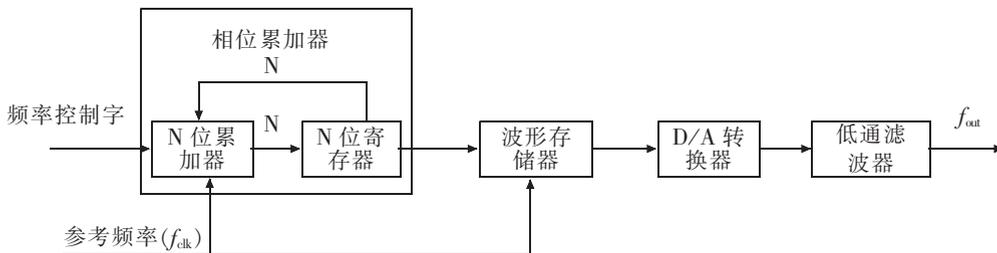


图 1 DDS 结构原理图

Fig.1 Schematic diagram of DDS structure

收稿日期: 2017-12-07

作者简介: 周欢(1993—), 女, 硕士研究生, 研究方向为电能质量检测。

通讯作者: 陈剑云(1962—), 男, 教授, 博士, 博士生导师, 研究方向为电能质量检测、电力系统监控。

DDS 使用查找表形成给定频率的相应波形采样,采样可以直接在数字域使用,查找表中可以存放离散型数据。DDS IP 核从 ROM 中取出波形数据,经数模转换器 DA,形成模拟波形。要想生成任意信号就要在查找表内存放相应的波形数据。

对于一个正弦信号, A 是信号幅值, f 是信号频率, ψ_0 是初始相位, t 为时间,假设其连续时间信号表达式为

$$x(t)=A \sin(2\pi ft+\psi_0) \quad (1)$$

用基准时钟 clk 对公式(1)进行信号抽样,其中 f_{clk} 是 DDS 系统时钟可得在一个基准时钟周期内相位的变化 $\Delta\psi$ 为

$$\Delta\psi=2\pi \frac{f}{f_{\text{clk}}} \quad (2)$$

通常查找表中存储的都是信号波形归一化采样,采样个数为 $N=2^{B_{\theta(n)}}$,其中 $B_{\theta(n)}$ 是位宽量化相位为 $\Theta(n)=2n\pi/N$, n 为时间序列上的采用索引。由于一个周期内的正弦波是关于 π 反对称的。在 DDS 中可以使用 $1/4$ 周期采样的缩短查找表,用量化的相位 $\Theta(n)$ 的高两位比特表示实现信号区域映射。这种实现方式可以减少 DDS IP 核的资源,重点是减少 IP 核存储器的实现资源。

对式(2),把 2π 分成 $2^{B_{\theta(n)}}$ 等份,则相位增量的量化值可以用 $\Delta\theta$ 来表达为

$$\Delta\theta=\frac{\Delta\psi}{2\pi} 2^{B_{\theta(n)}}=2^{B_{\theta(n)}} \frac{f}{f_{\text{clk}}} \quad (3)$$

由上式可得输出频率 f_{out} 为

$$f_{\text{out}}=\frac{f_{\text{clk}}\Delta\theta}{2^{B_{\theta(n)}}} \quad (4)$$

DDS 波形综合器的输出频率 f_{out} 是系统时钟 f_{clk} , 相位累加器中 $\Delta\theta$ 相位增量的函数。要得到输出频率 f_{clk} , 要求相位增量值为

$$\Delta\theta=\frac{f_{\text{out}} 2^{B_{\theta(n)}}}{f_{\text{clk}}} \quad (5)$$

频率分辨率 Δf 是系统时钟频率 f_{clk} 和相位累加器中相位数据位宽 $B_{\theta(n)}$ 的函数。

$$\Delta f=\frac{f_{\text{clk}}}{2^{B_{\theta(n)}}} \quad (6)$$

由以上推到公式可以看出,我们仅仅需要调节设置相位增量即是频率控制字和相位宽度来实现输出信号的频率,只要设置一定的系统时钟,就可以得到预期设定频率的信号,而通过改变查找表中的波形数据,就可以实现任意的波形信号输出。

1.2 DDS 设计思路

Vivado 软件开发平台有自带的 Xilinx 系列 DDS IP 核可以通过设置频率控制字、系统时钟、相位宽度来获得预期设定频率的信号波形,设置初始相位得到不同相位的信号,因为查找表中的信号波形都是归一化处理的数据,输出的信号无法得到不同幅值的信号,可以通过添加乘法器 IP 核设置不同的放大系数,从而得到不同幅值、相位的信号波形,而 DDS IP 核只能通过正弦信号采样查找表实现正弦信号的输出,但是不能实现任意波形的信号,只能通过改变 ROM 查找表中的数据,通过编写代码实现一种从“相位”的概念出发进行频率的信号发生器,这种从相位出发概念的方法不仅可以使得生成的输出波形可以改变不同的频率,而且可以控制波形的初始相位。这就要用到 ROM IP 核对预期的信号数据进行存储,设定系统时钟通过设置频率控制字来改变信号采样间隔,同时设置相位取地址初始点数来设定相位初始值,来同步控制 ROM IP 核数据的寻址地址,然后用乘法器 IP 核对幅值进行放大,得到预期设定的不同频率、相位、幅值的任意信号波形的信号。本文首先通过添加多个 DDS IP 核进行设计得到不同频率、幅值、相位的正弦信号的叠加,然后自定义一个通过后者进行设计的信号发生器封装成一个 DDS IP 核,添加到前者的工程中,可以设计得到任意信号的波形。

2 DDS 信号发生器的设计

2.1 DDS IP 核的设计

Configuration option 可以选择 3 种模式分别为:Phase Generate and SIN COS LUT 模式;Phase Generate only 模式;SIN COS LUT only 模式。这里选择 Phase Generate and SIN COS LUT 模式,通过正弦查找表查找数据输出。系统时钟即是 DDS 的核心时钟频率,用于计算 DDS 波形发生器输出信号的频率,由于整个系统时钟为 100 MHz,添加一个时钟 clk IP 核对其进行分频,得到 DDS 时钟,设为 20.48MHz,Mode of operation 有两种模式选择,分别为 standard 和 Rasterized 模式,不同的模式下计算公式中的参量不同,配置方式也不同,这里选择 standard 标准模式。Phase width 表示为之前计算输出频率的相位宽度,output width 为输出数据的宽度。

现在设计频率,初始相位分别为 $10\text{ kHz}, \frac{\pi}{3}; 50\text{ kHz}, \frac{\pi}{6}; 100\text{ kHz}, \frac{\pi}{2}$ 的正弦信号。根据公式(2)可知相位宽度设为 11 位,频率控制字分别为 1,5,10,输出数据宽度可以自定义设为 16 位输出。在实现功能一栏的配置中,可以选择相位的可控制,在这个功能中可以在程序中实现输出信号的频率可控。在输出功能选项中,可以选择仅输出正弦或者余弦或者正弦余弦共同输出。幅度模式选择:满幅度和半幅度,幅度的取值需要根据输出数据宽度来进行计算。存储类型选项,这个选项控制了正弦余弦查找表的实现。相位增量(即频率控制字)要选择可编程 programmable 模式,可以编辑频率控制字的大小,由于相位偏移即是初始相位,相位偏移也要选择 programmable 模式来控制不同初始相位的信号输出,DDS 的配置输入数据 s_axis_config_tdata 宽度为 32 位,在 Phase Generate and SIN COS LUT 模式下高 16 位为相位偏移即初始相位数据,其中前 5 位为无效为,后 11 位用来表示从 $0\sim 2\pi$ 的相位值,为了得到初始相位为 $\frac{\pi}{3}$ 的正弦信号,s_axis_config_tdata 的高 16 位设置为 00000101010101,低 16 位为频率控制字,其中前 5 位为无效为,后 11 位用来表示从频率控制值的大小。在某些情况下,电路时钟可以增加流水寄存器的外扩,此选择控制实现是否以最高速度或最低资源为目标的决策。DSP48 Use 配置功能用于控制相位累加器的实现和随后的相加阶段(用于相位偏移和/或抖动噪声的添加)。当设置最小化,相位累加器以及后续的阶段将在 FPGA 中实现。当设置最大化,所有的都是由 DSP 来实现。所以 DSP48 Use 选择 Minimal 模式,在单信号通道情况下 dsp 片也可以提供寄存器来存储可编程相位增量和/或相位偏移,从而节省更多的资源。

由于输出信号的幅值是需要根据输出数据宽度来进行计算,所以要想得到预期的幅值,就要用到乘法器 IP 核,乘上一个系数,就可以得到不同幅值的正弦信号,输出得到的信号可以是不同幅值和相位的信号,但是只能输出正弦波,所以只通过 DDS IP 核、时钟 clk IP 核、乘法器 IP 核这种设计方法不能得到任意信号波形,要想得到任意波形的信号,就要改变查找表中的存储数据,可以采用另外一种方法进行设计,改变 ROM 里预先存储的数据进行设计,然后再将这个模块封装成 DDS IP 核。

2.2 DDS 定制 IP 核的设计

根据 dds 设计原理可知,需要通过地址寄存器对 ROM 查找表进行寻址最后生成任意波形。为了设计 50 Hz、100 Hz 的正弦波、方波、锯齿波等。向 ROM 存储的一个周期波形数据有 4096 个点,那么最为基本的寻址寄存器的赋值为 1,2,3, ..., 4 096,0.004 882 812 5 ms 寻址一次,最后得出的波形频率为 50 Hz。寄存器的值为 1 个时钟

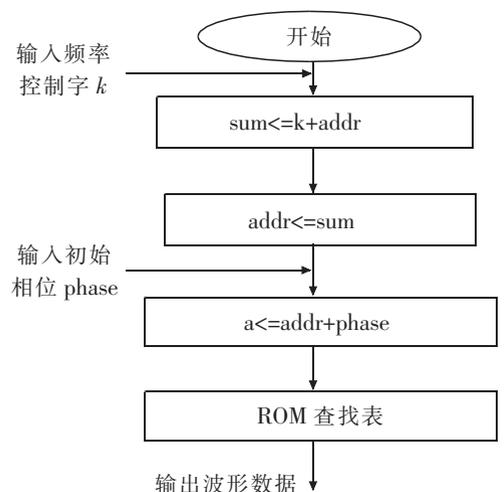


图 2 DDS 定制 IP 核程序流程图
Fig.2 Flow chart of DDS custom IP nuclear program

累加一次,那么寻址结束需要 4 096 个时钟,就可以计算出一个周期的时间(假设为 T)。频率控制字 k 控制寻址寄存器赋值的大小, k 为 1 时,赋值为从 1 累加到 4 096; k 为 2 时,则从 1,3,5,7,...,4 096,可以看出寻址完一个周期的时间为 $T/2$,则得出的波形频率为 100 Hz。

如图 2 为 DDS 定制 IP 核程序流程图,相位偏移分量又称为相位控制字 $phase$ 直接影响相位的初始值,假设为 1 024,那么寻址寄存器直接从 1024 点开始进行累加,第一个点就不是最开始相位为 0 的点,现在设计初始相位 $425/2\ 048\pi$,则初始点数设置为 850。 a 表示为最后输入 ROM IP 核的地址寄存器,它的值为地址寄存器 $addr$ 和相位寄存器 $phase$ 相加得出,地址寄存器 $addr$ 受到频率控制字 k 的影响,将 $addr$ 寄存器和 K 寄存器的值不断重复的赋值给 $addr$ 寄存器就可以得到一个一直累加的地址寄存器。ROM IP 核输入地址位宽为 12 位,输出数据宽度为 16 位,和频率控制字位宽也为 12 位输入,初始相位相位地址位宽为 12 位,地址寄存器位宽为 12 位,ROM IP 核中存好三角波,锯齿波,方波,正弦波等任意波形的数据,用.coe 文件存储。幅值的设定通过配置乘法器与 ROM IP 核输出的数据做乘法而决定。

通过这样一种添加 ROM IP 核存储任意信号的波形数据,改变频率控制字和初始相位地址自定义的查找表寻址地址控制不同信号频率、相位的任意信号的输出,同时添加乘法器 IP 核控制输出信号幅值的方法,进行 DDS IP 核定制,可以实现任意信号发生器的设计。

3 仿真验证与波形分析

图 3 为 Xilinx IP 核设计 DDS 信号发生器的波形,包括正余弦 U_1 ,方波 U_2 ,锯齿波 U_3 和三角波 U_4 ,频率均为 50 Hz。可以看出 DDS 定制 IP 核的方法设计能够实现任意信号波形的的设计。

以正余弦波形为例,图 4 为正弦信号仿真波形图,可以看出 Xilinx IP 核设计的 DDS 信号发生器能够生成相位为 $425/2\ 048\pi$,幅值 440 mV 和 4 400 mV,频率 50 Hz 和 150 Hz 的正余弦信号波形。其中 V_1, V_3 幅值均为 440 mV; V_2, V_4 幅值均为 4 400 mV, V_1 和 V_2 频率为 50 Hz, V_3 和 V_4 频率为 150 Hz。也可以改变 ROM 存储器中的数据生成其他波形信号。

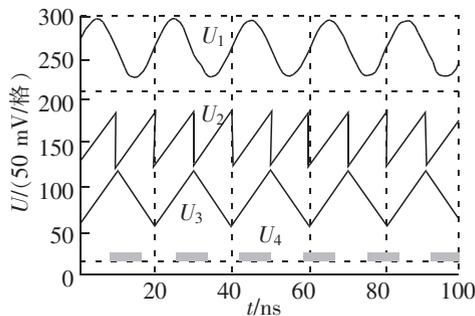


图 3 4 种波形仿真图

Fig.3 Four kinds of waveform simulation graphs

图 5 为 Xilinx DDS IP 核生成的相位、幅值、频率不同的正弦波形以及 3 种波形的叠加仿真波形图。

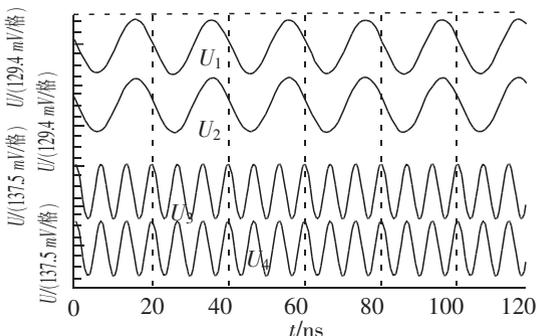


图 4 正弦信号仿真波形图

Fig.4 Sine signal simulation waveform diagram

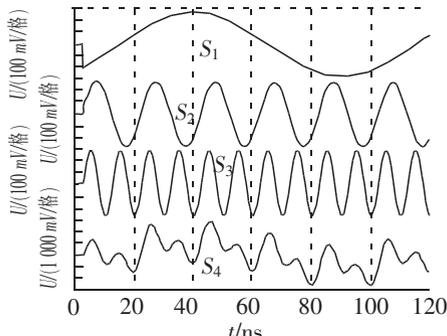


图 5 混频信号波形仿真图

Fig.5 Waveform simulation of mixing signal

本文研究的任意信号发生器的设计,易于调整,通过 DDSIP 核对系统进行时钟分频、控制频率控制字的设计方案,可以灵活的生成任意频率、相位、幅值的正弦信号,采用 DDS 定制 IP 核实现的方案,添加 ROM IP 核存储任意波形的信号,通过自定义程序设计寻址地址得到预期的信号设计,这种方法弥补了 DDS IP 只能生成正弦信号的局限性,总体设计各参量值可调节可以生成任意信号的设计。

参考文献:

- [1] 贺军义,蒋坚,李男男. 基于FPGA的DDS信号发生器设计[J]. 计算机测量与控制,2017,25(2):231-233.
- [2] 黄玉健,黄永庆. 基于FPGA的DDS多功能信号发生器的设计[J]. 梧州学院学报,2017,27(3):10-16.
- [3] 崔永俊,王晋伟,贾磊,等. 基于FPGA的DDS信号发生器的设计与实现[J]. 电子器件,2016,39(2):339-343.
- [4] 许明辉. 基于FPGA的任意信号发生器设计[J]. 电子测试,2016(22):1-2.
- [5] 邓岳平,肖铁军. 基于FPGA的并行DDS信号发生器的设计与实现[J]. 计算机工程与设计,2011,32(7):2319-2323.
- [6] 叶珍. 一种基于DDS芯片AD9959的高精度信号发生器[J]. 电子技术与软件工程,2017(18):127-127.
- [7] 杨建华. 基于FPGA和DDS技术的多通道信号源设计[J]. 计算机与数字工程,2017,45(8):1656-1659.
- [8] 姚宁. 基于LPM模块的DDS波形发生器的设计[J]. 湖北第二师范学院学报,2017,34(8):34-37.
- [9] 黄燕. 基于FPGA的DDS信号发生器的研究[D]. 南京:南京林业大学,2012.
- [10] 王硕,马永奎,高玉龙,等. 基于FPGA的改进结构的DDS设计与实现[J]. 电子技术应用,2016,42(3):28-30.
- [11] 刘阳. 基于FPGA和DDS技术的双通道正交信号源的设计与实现[D]. 太原:中北大学,2017.

Design of Arbitrary Signal Generator Based on Xilinx IP Core

Zhou Huan, Chen Jianyun, Zhong Hanhua

(School of Electrical and Electronic Engineering, East China Jiaotong University, Nanchang 330013, China)

Abstract: In this paper, an arbitrary signal generator was designed based on Xilinx IP core. Sine wave, triangle wave, square wave, sawtooth wave and other signals can be generated at any frequency, amplitude and phase. It can be conveniently used in simulation design in engineering design. First of all, through the DDS IP core configuration design, it has different amplitude sine wave by adding multiplier IP core, and different frequency and phase sine wave by adding multiple DDS IP core to set the cosine signal frequency and phase control word width and initial phase. However, the DDS IP core can only generate sine and cosine signals by means of the sine and cosine sampling look-up table. Then the data can be imported through the adding of ROM IP. By changing the frequency control word, addressing address and setting the initial value of the ROM address, the signal generator of arbitrary signal amplitude, frequency and phase can be realized. The simulation results show that different frequency and phase of sine wave, triangle wave, square wave, sawtooth wave and other signals can be output. The overall design scheme of this method is feasible, and it is easy to adjust the design of parameters, which can achieve the desired results, and has certain application value in engineering.

Key words: Xilinx IP core; DDS IP core; arbitrary signal generator; multiplier IP core